

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 1 月 8 日 (08.01.2004)

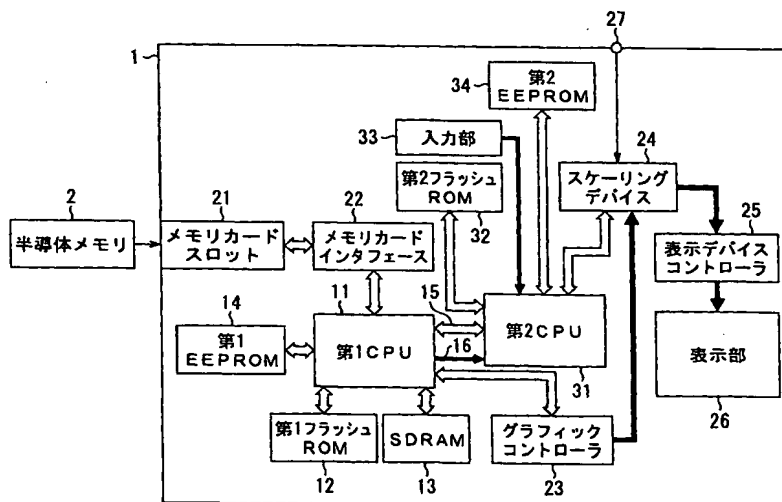
PCT

(10) 国際公開番号
WO 2004/003742 A1

- (51) 国際特許分類⁷: G06F 11/00 区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 野口 国彦 (NOGUCHI, Kunihiko) [JP/JP]; 〒141-0001 東京都 品川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/008186
- (22) 国際出願日: 2003 年 6 月 27 日 (27.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-190001 2002 年 6 月 28 日 (28.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都 品川区 北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (74) 代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒160-0023 東京都 新宿区 西新宿 7 丁目 1 1 番 1 8 号 7 1 1 ビルディング 4 階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 定佳 (SUZUKI, Sadaka) [JP/JP]; 〒141-0001 東京都 品川
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: INFORMATION PROCESSING UNIT AND METHOD, RECORDING MEDIUM, AND PROGRAM

(54) 発明の名称: 情報処理装置および方法、記録媒体、並びにプログラム



- 34...SECOND EEPROM
33...INPUT UNIT
32...SECOND FLASH ROM
24...SCHEDULING DEVICE
2...SEMICONDUCTOR MEMORY
21...MEMORY CARD SLOT
22...MEMORY CARD INTERFACE
14...FIRST EEPROM
11...FIRST CPU
31...SECOND CPU
26...DISPLAY UNIT
12...FIRST FLASH ROM
23...GRAPHIC CONTROLLER

(57) Abstract: An information processing unit and a method, a recording medium, and a program for easily and continuously writing a program into a plurality of storage units controlled by different CPUs. A first CPU (11) of an image display unit (1) either writes a file, stored in a semiconductor memory (2), into a first flash ROM

[続葉有]



(12) or a first EEPROM (14) that is a specified device or causes a second CPU (31) to write a file into a second flash ROM (32) or a second EEPROM (34) that is a specified device. The first CPU (11) checks whether or not a file to be installed is prepared while executing a normal processing. If it is prepared, starts installing the file. This invention is applicable to a personal computer.

(57) 要約: 本発明は、互いに異なるCPUに制御される複数の記憶部にプログラムを、容易に、連続して書き込むことができる情報処理装置および方法、記録媒体、並びにプログラムに関する。画像表示装置1の第1CPU11は、半導体メモリ2に格納されている対象ファイルを指定されたデバイスである第1フラッシュROM12または第1EEPROM14に書き込むか、または、第2CPU31を制御して、対象ファイルを指定されたデバイスである第2フラッシュROM32または第2EEPROM34に書き込ませる。また、第1CPU11は、通常の処理を行いながら、インストールする対象ファイルが用意がされたか否かを確認し、用意された場合、対象ファイルのインストール処理を開始する。本発明は、パーソナルコンピュータに適用できる。

明細書

情報処理装置および方法、記録媒体、並びにプログラム

技術分野

- 5 本発明は情報処理装置および方法、記録媒体、並びにプログラムに関し、特に、複数の CPU および記憶部を有する情報処理装置において、互いに異なる CPU に制御される複数の記憶部にプログラムを、容易に、連続して書き込むことができるようにした、情報処理装置および方法、記録媒体、並びにプログラムに関する。

10 背景技術

従来、映像表示装置等を制御するプログラムやデータは、工場出荷時に ROM (Read Only Memory) に記録されたり、プログラムやデータを後で更新できるように、書き換え可能な RAM (Random Access Memory) やハードディスクに記録されたりしている。

- 15 例えば、工場出荷時に書き込まれたプログラムやデータに不具合が生じたり、新たな機能を追加させたりする場合、映像表示装置の CPU の制御により、新しいプログラムやデータが、フラッシュメモリカード等の記録媒体等より読み出され、CPU の制御する RAM 等の記憶部の所定のアドレス位置に記憶される（インストールされる）。

- 20 しかしながら、映像表示装置においては、通常、複数のプログラムやデータが複数の記憶部に記憶され、複数の CPU によって、互いに異なる制御処理が行われる。従って、上述したような方法では、更新するプログラムやデータを、対応する CPU の制御により、その CPU が制御する所定の記憶部に記憶（インストール）させるため、更新処理を CPU 毎に独立して行わなければならない、互いに異なる CPU に対応する複数のプログラムやデータを連続して更新することができないという課題があった。

すなわち、互いに異なる CPU に対応する複数のプログラムやデータを更新す

る場合（新たなプログラムやデータをインストールする場合）、プログラムやデータ毎に、対応する CPU に書き込み用プログラムを実行させ、読み出し処理、書き込み処理を実行させる必要があった。

- これに対して、プログラムやデータを更新する為の特別な回路や装置を用いて、
- 5 複数の CPU が制御する複数の記憶部に対して、書き込み（インストール）作業を行うことができるようにする方法が考えられるが、一般的に、書き込み（インストール）作業は頻繁に行われるものではなく、不必要に回路規模が増大し、コストがあがってしまう。さらに、消費電力も増えてしまう。

10 発明の開示

本発明はこのような状況に鑑みてなされたものであり、複数の CPU および記憶部を有する情報処理装置において、互いに異なる CPU に制御される複数の記憶部にプログラムを、容易に、連続して書き込むことができるようにするものである。

- 15 本発明の情報処理装置は、主制御部より供給されるソフトウェアの記憶に関する指示を取得する第 1 の取得手段と、主制御部にソフトウェアを要求する要求手段と、要求手段による要求に応じて供給されたソフトウェアを取得する第 2 の取得手段と、記憶部を制御し、第 2 の取得手段により取得されたソフトウェアを記憶させる記憶制御手段とを備えることを特徴とする。

- 20 前記指示は、ソフトウェアに関する情報およびソフトウェアを記憶させる記憶部に関する情報を含むようにすることができる。

- 前記第 1 の取得手段により取得された指示により指定された記憶部を、複数の記憶部の中から選択し、取得手段により取得されたソフトウェアを記憶させる記憶部として設定する記憶部設定手段をさらに備え、記憶制御手段は、記憶部設定
- 25 手段により設定された記憶部にソフトウェアを記憶させるようにすることができる。

前記記憶制御手段の制御により記憶部に記憶されたソフトウェアが正常である

か否かを確認する確認手段と、確認手段による確認結果を主制御部に供給する供給手段とをさらに備えるようにすることができる。

前記主制御部は、供給手段により供給された確認結果に基づいて、ソフトウェアの記憶部への記憶処理が正常に完了したと判定した場合、表示部を制御し、記憶処理が正常に完了したことを示す情報を表示部に表示させるようにすることができる。

前記主制御部は、供給手段により供給された確認結果に基づいて、ソフトウェアの記憶部への記憶処理が正常に完了していないと判定した場合、表示部を制御し、記憶処理においてエラーが発生したことを示す情報を表示部に表示させるようにすることができる。

前記ソフトウェアが記憶されている記憶媒体は、リムーバブルなメモリカードであり、主制御部は、メモリカードから取得したプログラムまたはデータを用いて複数の記憶部に記憶されているプログラムまたはデータを更新するようすることができる。

前記記憶制御手段は、第2の取得手段により取得されたソフトウェアのバージョン情報と記憶部に記憶されているソフトウェアのバージョン情報とを比較し、バージョンが互いに異なる場合、記憶部を制御し、第2の取得手段により取得されたソフトウェアを記憶させるようにすることができる。

本発明の情報処理方法は、主制御部にソフトウェアを要求する要求ステップと、要求ステップの処理による要求に応じて供給されたソフトウェアの取得を制御する取得制御ステップと、主制御部より供給される指示に基づいて、記憶部を制御し、取得制御ステップの処理により取得が制御されたソフトウェアを記憶させる記憶制御ステップとを含むことを特徴とする。

本発明の記録媒体のプログラムは、主制御部にソフトウェアを要求する要求ステップと、要求ステップの処理による要求に応じて供給されたソフトウェアの取得を制御する取得制御ステップと、主制御部より供給される指示に基づいて、記憶部を制御し、取得制御ステップの処理により取得が制御されたソフトウェアを

記憶させる記憶制御ステップとを含むことを特徴とする。

本発明のプログラムは、主制御部にソフトウェアを要求する要求ステップと、要求ステップの処理による要求に応じて供給されたソフトウェアの取得を制御する取得制御ステップと、主制御部より供給される指示に基づいて、記憶部を制御し、取得制御ステップの処理により取得が制御されたソフトウェアを記憶させる記憶制御ステップとをコンピュータに実現させることを特徴とする。

本発明の情報処理装置および方法、記録媒体、並びにプログラムにおいては、主制御部より供給されるソフトウェアの記憶に関する指示が取得され、主制御部に対する要求に応じて供給されたソフトウェアが取得され、その取得されたソフトウェアが記憶部により記憶される。

情報処理装置は、複数の制御部および記憶部を有するデジタルカメラ、携帯電話機、テレビジョン受像機、その他の機器に組み込まれたマイクロコンピュータなどであってもよい。

15 図面の簡単な説明

図 1 は、本発明を適用した画像表示装置の構成例を示すブロック図である。

図 2 は、図 1 の第 1 フラッシュ ROM の記憶領域の構成例を示す図である。

図 3 は、図 2 の ID 情報領域の詳細な構成例を示す図である。

図 4 は、半導体メモリの記憶領域の構成例を示す図である。

図 5 は、図 2 の第 1 フラッシュ ROM の記憶領域に格納されているプログラムの関係の例を示す図である。

図 6 は、図 1 の第 1 CPU による起動処理について説明するフローチャートである。

図 7 は、図 6 のステップ S 3 において実行される ID 情報確認処理の詳細について説明するフローチャートである。

図 8 は、図 1 の第 1 CPU によるアップグレード処理について説明するフローチャートである。

図 9 は、図 1 の第 1 CPU によるアップグレード処理について説明する、図 8 に続くフローチャートである。

図 10 は、装着時用 GUI 画面の例を示す図である。

図 11 は、未装着時用 GUI 画面の例を示す図である。

5 図 12 は、完了時用 GUI 画面の例を示す図である。

図 13 は、エラー時用 GUI 画面の例を示す図である。

図 14 は、図 9 のステップ S63 において実行される書き換え処理の詳細について説明するフローチャートである。

10 図 15 は、図 9 のステップ S63 において実行される書き換え処理の詳細について説明する、図 14 に続くフローチャートである。

図 16 は、図 1 の第 2 CPU による書き込み処理について説明するフローチャートである。

図 17 は、図 1 の第 1 CPU によるユーザプログラム実行処理について説明するフローチャートである。

15 図 18 は、図 1 の表示部に表示される画面の例を示す図である。

図 19 は、本発明を適用したパーソナルコンピュータの構成例を示すブロック図である。

図 20 は、本発明を適用した情報処理システムの例を示す図である。

20 発明を実施するための最良の形態

図 1 は、本発明を適用した画像表示装置の構成例を示す図である。

図 1 において JPEG (Joint Photographic Experts Group) 等に代表される動画画像や静止画像を表示する画像表示装置 1 は、入力端子より入力された、または、フラッシュメモリ等の電氣的に書き換え可能な不揮発性のメモリで構成され
25 る半導体メモリ 2 に記憶された JPEG 画像データ等の画像データを処理し、静止画像や動画画像をディスプレイ等に表示する。

画像表示装置 1 の第 1 CPU (Central Processing Unit) 11 は、半導体メモ

リ 2 よりメモ리카ードインタフェース 2 2 を介して取得した画像データに対して、デコード処理等の画像処理を行い、処理された画像データをグラフィックコントローラ 2 3 に供給する。

また、第 1 CPU 1 1 は、バスを介して接続された各部の制御を行う。さらに、
5 第 1 CPU 1 1 は、GUI (Graphical User Interface) 情報を生成し、グラフィックコントローラ 2 3 に供給する。

また、第 1 CPU 1 1 は、通信バス 1 5 および制御バス 1 6 を介して第 2 CPU 3 1 と接続されており、制御情報や各種データ等のやり取りを行う。

第 1 CPU 1 1 は、バスを介して接続された第 1 フラッシュ ROM (Read Only
10 Memory) 1 2 に記憶されているプログラムや、同様にバスを介して接続された第 1 EEPROM (Electrically Erasable and Programmable Read Only Memory) 1 4 に記憶されているデータを、同じくバスを介して接続された SDRAM (Synchronous Dynamic Random Access Memory) 1 3 にロードし、それらのプログラムやデータを用いて、画像処理や各部の制御処理等を行う。

15 なお、第 1 CPU 1 1 は、後述するように、半導体メモリ 2 よりメモ리카ードインタフェース 2 2 を介して取得したプログラムやデータを用いて、第 1 フラッシュ ROM 1 2 および第 1 EEPROM 1 4 に記憶されているプログラムやデータを更新することができる。

第 1 フラッシュ ROM 1 2 は、電氣的に書き換え可能な不揮発性のメモリであり、
20 第 1 CPU 1 1 において実行されるプログラムを記憶している。

SDRAM 1 3 は、第 1 CPU 1 1 に制御され、供給された第 1 フラッシュ ROM 1 2 に記憶されているプログラムや、第 1 EEPROM 1 4 に記憶されているデータを一時的に保持する。

第 1 EEPROM 1 4 は、電氣的に内容の書き換えが可能な不揮発性のメモリであり、
25 り、第 1 CPU 1 1 による画像処理に必要な、補正值等のデータを記憶している。

また、画像表示装置 1 には、半導体メモリ 2 を装着可能なメモ리카ードスロット 2 1 が設けられている。メモ리카ードスロット 2 1 に正しく装着された半導体

メモリ 2 は、メモリカードインタフェース 2 2 と電氣的に接続され、メモリカードインタフェース 2 2 に制御される。

メモリカードインタフェース 2 2 は、第 1 CPU 1 1 に制御され、メモリカードスロット 2 1 を監視し、メモリカードスロット 2 1 に半導体メモリ 2 が正しく装着されているか否かを確認したり、メモリカードスロット 2 1 に正しく装着された半導体メモリ 2 に記憶されているデータを読み出し、第 1 CPU 1 1 に供給したりする。

グラフィックコントローラ 2 3 は、第 1 CPU 1 1 より供給された画像データや GUI 情報を用いて、表示部 2 6 において表示する画像に対応する画像データを生成し、スケーリングデバイス 2 4 に供給する。

スケーリングデバイス 2 4 は、第 2 CPU 3 1 に制御され、グラフィックコントローラ 2 3 より供給された画像データ、若しくは、外部画像信号入力端子 2 7 を介して、画像表示装置 1 の外部より供給された画像データに対して、解像度変換処理等を行い、表示部 2 6 において表示可能な画像データを生成し、表示デバイスコントローラ 2 5 に供給する。

表示デバイスコントローラ 2 5 は、スケーリングデバイス 2 4 より供給された画像データを表示部 2 6 に供給し、表示部 2 6 を制御して、供給した画像データに対応する画像を表示させる。

表示部 2 6 は、LCD (Liquid Crystal Display) や、CRT (Cathode Ray Tube) 等のディスプレイにより構成され、表示デバイスコントローラ 2 5 に制御され、供給された画像データに対応する画像を表示する。

第 2 CPU 3 1 は、第 2 フラッシュ ROM 3 2 に記憶されているプログラム、および第 2 EEPROM 3 4 に記憶されている、明るさや色合い等、画像処理に関するデータを用いて、スケーリングデバイス 2 4 を制御して、画像の表示に関する制御を行う。

また、第 2 CPU 3 1 は、入力部 3 3 より入力されたユーザの指示に基づいて、各種の処理を実行する。

さらに、第2 CPU 3 1には、図示せぬ ROM が内蔵されており、起動専用プログラムが記憶されている。第2 CPU 3 1は、後述するように、この起動専用プログラムを実行することにより、第2フラッシュ ROM 3 2や第2EEPROM 3 4に記憶されている情報を更新することができる。

- 5 第2フラッシュ ROM 3 2は、第1フラッシュ ROM 1 2と同様に、電氣的に書き換え可能な不揮発性のメモリであり、第2 CPU 3 1において実行されるプログラムを記憶している。

入力部 3 3は、図示せぬチャンネルボタンやメニュー操作ボタン等により構成され、ユーザに操作されて、ユーザからの指示を入力し、第2 CPU 3 1に供給する。

第2EEPROM 3 4は、第1EEPROM 1 4と同様に、電氣的に内容の書き換えが可能な不揮発性のメモリであり、第2 CPU 3 1による画像処理に必要なデータを記憶している。

- 15 半導体メモリ 2は、例えば、メモリースティック（商標）等に代表される、フラッシュメモリ等の電氣的に書き換え可能な不揮発性のメモリで構成されるメモリカードである。

半導体メモリ 2には、対応する画像を画像表示装置 1の表示部 2 6に表示させる JPEG 画像データの他に、第1フラッシュ ROM 1 2および第2フラッシュ ROM 3 2に記憶されるプログラム、並びに、第1EEPROM 1 4および第2EEPROM 3 4
20 に記憶されるデータ等が記録されている。

半導体メモリ 2に、第1フラッシュ ROM 1 2や第1EEPROM 1 4に記録されるプログラムやデータが記録されている場合、第1 CPU 1 1は、後述するように、それらのプログラムやデータを取得し、第1フラッシュ ROM 1 2や第1EEPROM 1 4に書き込む。

- 25 また、半導体メモリ 2に、第2フラッシュ ROM 3 2や第2EEPROM 3 4に記録されるプログラムやデータが記録されている場合、第1 CPU 1 1は、後述するように、それらのプログラムやデータを第2 CPU 3 1に供給し、第2 CPU 3 1を制御

して、第2フラッシュROM 32や第2EEPROM 34に書き込ませる。

図2は、図1に示される第1フラッシュROM 12の記憶領域の構成例を示す図である。

図2において、第1フラッシュROM 12の記憶領域は、例えば、画像表示装置
5 1の電源が投入された場合、または、それと同様の状態の場合、すなわち、ハードウェアリセットが行われた場合に、第1CPU 11により実行される起動プログラムが格納される起動プログラム領域71、後述するアップグレードプログラムおよびユーザプログラムの内、いずれを実行するかを指定するID情報を格納するID情報領域72、後述するユーザプログラムを更新（アップグレード）するためのアップグレードプログラムが格納されているアップグレードプログラム領域73、並びに、JPEG画像データの表示に関する処理を実行するプログラムが格納されるユーザプログラム領域74により構成されている。

図1において、第1フラッシュROM 12とSDRAM 13は、第1CPU 11により、
第1CPU 11の管理するメモリ空間上において、例えば「FF000000(H)」と
15 「00000000(H)」というような、互いに異なるアドレス領域が、それぞれ割り当てられている。

例えば、図2に示されるように、第1CPU 11により、第1フラッシュROM 12に、「FF000000(H)」乃至「FF1FFFFFF(H)」のアドレス領域が割り当てられている場合、ハードウェアリセットが行われると、第1CPU 11のプログラムカウンタの値が「FF000000(H)」に設定され、第1CPU 11により、起動プログラム領域71に格納されている起動プログラムが実行される。

図2の例において、起動プログラム領域71には「FF000000(H)」乃至「FF003FFF(H)」のアドレス領域が割り当てられており、その起動プログラム領域71に格納される起動プログラムは、後述するように、ID情報領域に格納されるID情報を参照し、その情報に基づいて、アップグレードプログラム領域73に格納されているアップグレードプログラム、または、ユーザプログラム領域74に格納されているユーザプログラムのいずれかを指定し、第1CPU 11に実
25

行させる（ソフトウェアリセットを行う）。

ID 情報領域 7 2 には「FF004000(H)」乃至「FF005FFF(H)」のアドレス領域が割り当てられており、後述するように、アップグレードプログラム領域 7 3 に格納されているアップグレードプログラム、または、ユーザプログラム領域 7 4 に格納されているユーザプログラムの選択に関する情報等を格納している。

アップグレードプログラム領域 7 3 には「FF006000(H)」乃至「FF007FFF(H)」のアドレス領域が割り当てられており、そのアップグレードプログラム領域 7 3 に格納されるアップグレードプログラムは、後述するように、第 1CPU 1 1 に実行され、ユーザプログラム領域 7 4 に格納されているユーザプログラム、または、アップグレードプログラム自身を更新する。

ユーザプログラム領域 7 4 には「FF008000(H)」乃至「FF1EFFF(H)」のアドレス領域が割り当てられており、そのユーザプログラム領域 7 4 に格納されるユーザプログラムは、第 1CPU 1 1 に実行され、JPEG 画像データの表示に関する処理を実行する。

図 3 は、図 2 の ID 情報領域 7 2 の詳細な構成例を示す図である。

図 3 において、ID 情報領域 7 2 に格納される実行プログラム選択判定情報 1 0 1 は、1 6 バイトのデータで構成され、起動プログラム領域 7 1 に格納される起動プログラムを実行する第 1 CPU 1 1 が、起動するプログラムとして、アップグレードプログラム領域 7 3 に格納されているアップグレードプログラム、または、ユーザプログラム領域 7 4 に格納されているユーザプログラムの内、いずれか一方を選択することができるような情報を含んでいる。

すなわち、起動プログラム領域 7 1 に格納される起動プログラムを実行する第 1 CPU 1 1 は、実行プログラム選択判定情報 1 0 1 に基づいて、アップグレードプログラムまたはユーザプログラムの内、いずれか一方を選択して実行する（ソフトウェアリセットを行う）。

格納プログラム正常判定情報 1 0 2 は、1 6 バイトのデータで構成され、図 2 のアップグレードプログラム領域 7 3 に異なった種類のソフトウェアが記録され

ているか否かを判定するための情報を含んでいる。

すなわち、第1 CPU 11は、格納プログラム正常判定情報102に基づいて、図2のアップグレードプログラム領域73に、アップグレードプログラムとして実行できないプログラムやデータが格納されているか否かを判定する。

- 5 バージョン情報103は、4バイトのデータで構成され、図2のアップグレードプログラム領域73に格納されているアップグレードプログラムのバージョン情報を含んでいる。

- 10 チェックサム情報104は、4バイトのデータで構成され、図2のアップグレードプログラム領域73に格納されているアップグレードプログラムのデータが正常か否かを判定するための情報を含んでいる。

プログラム作成日情報105は、4バイトのデータで構成され、図2のアップグレードプログラム領域73に格納されているアップグレードプログラム作成日に関する情報を含んでいる。

- 15 対象機種判定情報106および対象マイコン判定情報107は、16バイトのデータで構成され、格納プログラム正常判定情報102と同様に、図2のアップグレードプログラム領域73に異なった種類のソフトウェアが記録されているか否かを判定するための情報を含んでいる。

- 20 ID チェックサム情報108は、4バイトのデータで構成され、上述した、格納プログラム正常判定情報102乃至対象マイコン判定情報107を含む、アップグレードプログラム領域73に関する各情報が何らかの原因で破壊されているか否かを確認するための情報を含んでいる。

- 25 例えば、図3に示される例の場合、ID チェックサム情報108は、アドレス「FF00405C(H)」乃至「FF00405F(H)」に格納されており、アドレス「FF004010(H)」乃至「FF00405B(H)」の領域の情報が正常であるか否かを確認するための情報を含んでいる。

格納プログラム正常判定情報112は、16バイトのデータで構成され、図2のユーザプログラム領域74に異なった種類のソフトウェアが記録されているか

否かを判定するための情報を含んでいる。

すなわち、第1 CPU 11は、格納プログラム正常判定情報112に基づいて、図2のユーザプログラム領域74に、ユーザプログラムとして実行できないプログラムやデータが格納されているか否かを判定する。

- 5 バージョン情報113は、4バイトのデータで構成され、図2のユーザプログラム領域74に格納されているユーザプログラムのバージョン情報を含んでいる。

チェックサム情報114は、4バイトのデータで構成され、図2のユーザプログラム領域74に格納されているユーザプログラムのデータが正常か否かを判定するための情報を含んでいる。

- 10 プログラム作成日情報115は、4バイトのデータで構成され、図2のユーザプログラム領域74に格納されているユーザプログラムの作成日に関する情報を含んでいる。

対象機種判定情報116および対象マイコン判定情報117は、16バイトのデータで構成され、格納プログラム正常判定情報112と同様に、図2のユーザプログラム領域74に異なった種類のソフトウェアが記録されているか否かを判定するための情報を含んでいる。

- 15 ID チェックサム情報118は、4バイトのデータで構成され、上述した、格納プログラム正常判定情報112乃至対象マイコン判定情報117を含む、ユーザプログラム領域74に関する各情報が何らかの原因で破壊されているか否かを
20 確認するための情報を含んでいる。

例えば、図3に示される例の場合、ID チェックサム情報118は、アドレス「FF0040AC(H)」乃至「FF0040AF(H)」に格納されており、アドレス「FF004060(H)」乃至「FF0040AB(H)」の領域の情報が正常であるか否かを確認するための情報を含んでいる。

- 25 図4は、半導体メモリ2の記憶領域の構成例を示す図である。

図4において、半導体メモリ2の記憶領域に格納されている格納プログラム正常判定情報151は、16バイトのデータで構成され、この記憶領域に異なった

種類のソフトウェアが記録されているか否かを判定するための情報を含んでいる。

すなわち、第1 CPU 11は、格納プログラム正常判定情報112に基づいて、半導体メモリ2の記憶領域に、画像表示装置1において実行できないプログラムや、処理できないデータが格納されているか否かを判定する。

- 5 バージョン情報152は、4バイトのデータで構成され、半導体メモリ2の記憶領域に格納されているソフトウェアのバージョン情報を含んでいる。

チェックサム情報153は、4バイトのデータで構成され、半導体メモリ2の記憶領域に格納されているソフトウェアが何らかの原因で破壊されているか否かを判定するための情報を含んでいる。

- 10 プログラム作成日情報154は、4バイトのデータで構成され、半導体メモリ2の記憶領域に格納されているソフトウェアの作成日に関する情報を含んでいる。

対象機種判定情報155および対象マイコン判定情報156は、それぞれ16バイトのデータで構成され、格納プログラム正常判定情報102と同様に、半導体メモリ2の記憶領域に異なった種類のソフトウェアが記録されているか否かを

- 15 判定するための情報を含んでいる。

ID チェックサム情報157は、4バイトのデータで構成され、上述した、格納プログラム正常判定情報151乃至対象マイコン判定情報156を含む、半導体メモリ2の記憶領域のソフトウェアに関する各情報が何らかの原因で破壊されているか否かを確認するための情報を含んでいる。

- 20 また、ソフトウェアバイナリデータ158は、半導体メモリ2の記憶領域に格納されている、画像表示装置1に書き込まれる（インストールされる）プログラムやデータである。

次に、以上のように構成される画像表示装置1におけるプログラムやデータの書き込み（インストール）方法について説明する。

- 25 図5は、図2に示される第1フラッシュROM12の記憶領域に格納されているプログラムの関係の例を示す図である。

図5において、起動プログラム201は、図2の起動プログラム領域71に格

納されるプログラムであり、アップグレードプログラム 202 は、図 2 のアップグレードプログラム領域 73 に格納されるプログラムであり、ユーザプログラム 203 は、図 2 のユーザプログラム領域 74 に格納されるプログラムである。

画像表示装置 1 が電源を投入されるなどして、ハードウェアリセットされると、
5 第 1 CPU 11 は、第 1 フラッシュ ROM 12 の起動プログラム領域 71 に格納されている起動プログラム 201 を実行する。

起動プログラム 201 を実行した第 1 CPU 11 は、後述するように、起動処理を行い、図 3 に示される ID 情報領域 72 の実行プログラム選択判定情報 101 の内容に基づいて、アップグレードプログラム 202 またはユーザプログラム 2
10 03 のいずれか一方を選択し、SDRAM 13 にコピーした後、実行する（ソフトウェアリセットを行う）。

アップグレードプログラム 202 を実行した第 1 CPU 11 は、後述するようにアップグレード処理を行い、半導体メモリ 2 に記録されているソフトウェアを所定の位置に書き込む（インストールする）。そして、処理が終了すると、第 1
15 CPU 11 は、ハードウェアリセットを行い、起動プログラム 201 が実行されるようにする。その際、第 1 CPU 11 は、ID 情報領域 72 の実行プログラム選択判定情報 101 を更新し、ユーザプログラム 203 が選択されるようにする。

ユーザプログラム 203 を実行した第 1 CPU 11 は、プログラムに対応する画像処理を行いながら、メモリカードインタフェース 22 を制御して、メモリカード
20 ドスロット 21 に、書き込むプログラムが記録された半導体メモリ 2 が装着されたか否かを監視し、装着されたと判定した場合、ハードウェアリセットを行い、起動プログラム 201 が実行されるようにする。その際、第 1 CPU 11 は、ID 情報領域 72 の実行プログラム選択判定情報 101 を更新し、アップグレードプログラム 202 が選択されるようにする。

25 以上のように、第 1 CPU 11 は、起動プログラム 201、アップグレードプログラム 202、および、ユーザプログラム 203 を実行して、半導体メモリ 2 に記録されているプログラムやデータを書き込む。

次に、図 5 の起動プログラム 201 を実行した第 1 CPU 11 による起動処理について、図 6 のフローチャートを参照して説明する。

最初に、ステップ S 1 において、第 1 CPU 11 は、SDRAM 13 に対して、内部レジスタを設定し、SDRAM 13 を制御してデータを記録させることができるように、初期化処理を行う。

そして、ステップ S 2 において、第 1 CPU 11 は、第 1 CPU 11 に接続されている、第 1 フラッシュ ROM 12、第 1 EEPROM 14、メモリカードインタフェース 22、および、グラフィックコントローラ 23 等の周辺デバイスに対しても同様に、内部レジスタを設定し、初期化する。

10 周辺デバイスを初期化した第 1 CPU 11 は、ステップ S 3 において、第 1 フラッシュ ROM 12 の ID 情報領域 72 に格納されている ID 情報を確認する ID 情報確認処理を実行する。ID 情報確認処理の詳細については、図 7 のフローチャートを参照して後述する。

ID 情報確認処理により、第 1 フラッシュ ROM 12 のアップグレードプログラム領域 73 に格納されているアップグレードプログラム、または、ユーザプログラム領域 74 に格納されているユーザプログラムのどちらを選択し、実行するかを確認し、そのプログラムを SDRAM 13 にコピーした第 1 CPU 11 は、ステップ S 4 において、ソフトウェアリセットを行い、選択したプログラムを実行し、起動処理を終了する。

20 以上のようにして、ハードウェアリセットされた第 1 CPU 11 は、アップグレードプログラムまたはユーザプログラムを SDRAM 13 にコピーし、そのコピーされたプログラムを実行するためにソフトウェアリセットを行う。

次に、図 7 のフローチャートを参照して、図 6 のステップ S 3 において実行される ID 情報確認処理の詳細について説明する。

25 最初に、ステップ S 2 1 において、第 1 CPU 11 は、第 1 フラッシュ ROM 12 の ID 情報記憶領域 72 を参照する。

そして、ステップ S 2 2 において、第 1 CPU 11 は、ID 情報領域 72 の実行プ

プログラム選択判定情報 101 が正常であるか否かを判定する。実行プログラム選択判定情報 101 がアップグレードプログラム領域 73 に格納されているアップグレードプログラムか、または、ユーザプログラム領域 74 に格納されているユーザプログラムを指定しており、正常であると判定した場合、第 1 CPU 11 は、

5 ステップ S 23 に処理を進め、実行プログラム選択判定情報 101 に基づいて、実行するプログラムとして、アップグレードプログラムが選択されたか否かを判定する。

実行プログラム選択判定情報 101 によりアップグレードプログラムが指定され、実行するプログラムとして、アップグレードプログラムが選択されたと判定

10 した場合、第 1 CPU 11 は、ステップ S 24 に処理を進め、ID 情報領域 72 の格納プログラム正常判定情報 102 に基づいて、選択されたアップグレードプログラムが正しい種類のプログラムであるか否かを判定する。

選択されたアップグレードプログラムが正しいプログラムであると判定した場合、第 1 CPU 11 は、処理をステップ S 25 に進め、ID チェックサム情報 108

15 に基づいて、ID 情報領域 72 の、格納プログラム正常判定情報 102 乃至対象マイコン判定情報 107 により構成される、選択されたアップグレードプログラムに対応する ID 情報が正常か否かを判定する。

そして、選択されたアップグレードプログラムに対応する ID 情報が正常であると判定した場合、第 1 CPU 11 は、ステップ S 26 において、第 1 フラッシュ

20 ROM 12 のアップグレードプログラム領域 73 に格納されているアップグレードプログラムを SDRAM 13 にコピーする。

第 1 CPU 11 は、アップグレードプログラムを SDRAM 13 にコピーすると、ステップ S 27 において、ID 情報記憶領域 72 のチェックサム情報 104 に基づいて、コピーしたアップグレードプログラムが正常であるか否かを判定する。

25 コピーしたアップグレードプログラムが何らかの原因により破壊されており、正常ではないと判定した場合、第 1 CPU 11 は、処理をステップ S 24 に戻し、それ以降の処理を繰り返す。

また、コピーしたアップグレードプログラムが正常であると判定した場合、第 1 CPU 1 1 は、ID 情報確認処理を終了し、処理を図 6 のステップ S 4 に進める。

ところで、ステップ S 2 3 において、実行プログラム選択判定情報 1 0 1 により、ユーザプログラムが選択され、アップグレードプログラムが選択されていないと判定した場合、第 1 CPU 1 1 は、処理をステップ S 2 8 に進める。

ステップ S 2 8 において、第 1 CPU 1 1 は、格納プログラム正常判定情報 1 1 2 に基づいて、選択されたユーザプログラムが正しい種類のプログラムであるか否かを判定する。

選択されたユーザプログラムが正しいプログラムであると判定した場合、第 1 CPU 1 1 は、処理をステップ S 2 9 に進め、ID チェックサム情報 1 1 8 に基づいて、ID 情報領域 7 2 の、格納プログラム正常判定情報 1 1 2 乃至対象マイコン判定情報 1 1 7 により構成される、選択されたユーザプログラムに対応する ID 情報が正常か否かを判定する。

そして、選択されたユーザプログラムに対応する ID 情報が正常であると判定した場合、第 1 CPU 1 1 は、ステップ S 3 0 において、第 1 フラッシュ ROM 1 2 のユーザプログラム領域 7 4 に格納されているユーザプログラムを SDRAM 1 3 にコピーする。

第 1 CPU 1 1 は、ユーザプログラムを SDRAM 1 3 にコピーすると、ステップ S 3 1 において、ID 情報記憶領域 7 2 のチェックサム情報 1 1 4 に基づいて、コピーしたユーザプログラムが正常であるか否かを判定する。

コピーしたユーザプログラムが何らかの原因により破壊されており、正常ではないと判定した場合、第 1 CPU 1 1 は、処理をステップ S 2 4 に戻し、それ以降の処理を繰り返す。

すなわち、ユーザプログラムのコピーに失敗した第 1 CPU 1 1 は、次に、アップグレードプログラムの SDRAM 1 3 へのコピーを試みる。

また、コピーしたユーザプログラムが正常であると判定した場合、第 1 CPU 1 1 は、ID 情報確認処理を終了し、処理を図 6 のステップ S 4 に進める。

ところで、ステップS 2 2において、実行プログラム選択判定情報1 0 1が、何らかの原因により破壊されており、正常ではないと判定した場合、第1 CPU 1 1は、処理をステップS 3 2に進め、エラー処理を行った後、ID 情報確認処理を終了する。この場合、第1 CPU 1 1は、図6のステップS 4の処理は省略し、
5 起動処理を終了させる。

また、ステップS 2 4において、選択されたアップグレードプログラムが正しい種類のプログラムではないと判定した場合、第1 CPU 1 1は、処理をステップS 3 2に進め、エラー処理を行った後、ID 情報確認処理を終了する。この場合も、第1 CPU 1 1は、図6のステップS 4の処理は省略し、起動処理を終了させ
10 る。

さらに、ステップS 2 5において、選択されたアップグレードプログラムに対応する ID 情報が正常ではないと判定した場合も、第1 CPU 1 1は、処理をステップS 3 2に進め、エラー処理を行った後、ID 情報確認処理を終了する。この場合も、第1 CPU 1 1は、図6のステップS 4の処理は省略し、起動処理を終了
15 させる。

すなわち、第1 CPU 1 1は、アップグレードプログラムおよびユーザプログラムを実行することができない場合、エラー処理を行い、起動処理を終了させる。

ところで、ステップS 2 8において、選択されたユーザプログラムが正しい種類のプログラムではないと判定した場合、第1 CPU 1 1は、ステップS 3 1にお
20 いて、コピーしたユーザプログラムが正常ではないと判定した場合と同様に、処理をステップS 2 4に戻し、それ以降の処理を繰り返す。

また、ステップS 2 9において、選択されたユーザプログラムに対応する ID 情報が正常ではないと判定した場合も、第1 CPU 1 1は、処理をステップS 2 4に戻し、それ以降の処理を繰り返す。

25 すなわち、ユーザプログラムのコピーに失敗した第1 CPU 1 1は、次に、アップグレードプログラムの SDRAM 1 3 へのコピーを試みる。

以上のように、第1 CPU 1 1は、ID 情報確認処理を行い、第1フラッシュ ROM

1 2 の ID 情報領域 7 2 の内容を確認しながら、アップグレードプログラムまたはユーザプログラムを SDRAM 1 3 にコピーする。

SDRAM 1 3 にコピーされたプログラムは、上述したように、図 6 のステップ S 4 において、ソフトウェアリセットが行われ、第 1 CPU 1 1 により実行される。

- 5 以上のようにして、例えば、アップグレードプログラムが実行された場合、第 1 CPU 1 1 は、アップグレード処理を行う。図 8 および図 9 のフローチャートを参照して、第 1 CPU 1 1 によるアップグレード処理について説明する。また、必要に応じて、図 1 0 乃至図 1 3 を参照する。

10 最初に、ステップ S 5 1 において、第 1 CPU 1 1 は、メモリカードインタフェース 2 2 を制御して、メモリカードスロット 2 1 の状態を監視し、メモリカードスロット 2 1 の状態の変化を検出したか否かを判定する。

15 例えば、メモリカードスロット 2 1 に半導体メモリ 2 が装着されるなどして、メモリカードスロット 2 1 の状態の変化を検出すると、メモリカードインタフェース 2 2 は、その情報を第 1 CPU 1 1 に供給する。第 1 CPU 1 1 は、メモリカードインタフェース 2 2 より供給された情報に基づいて、メモリカードスロット 2 1 の状態が変化したか否かを判定する。

20 メモリカードインタフェース 2 2 がメモリカードスロット 2 1 の状態の変化を検出したと判定した場合、第 1 CPU 1 1 は、ステップ S 5 2 に処理を進め、その情報に基づいて、メモリカードスロット 2 1 に半導体メモリ 2 が装着されているか否かを判定する。

25 メモリカードスロット 2 1 に半導体メモリ 2 が装着されていると判定した場合、第 1 CPU 1 1 は、処理をステップ S 5 3 に進め、装着時用 GUI を生成し、グラフィックコントローラ 2 3、スクーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を介して、表示部 2 6 に供給し、表示する画面を装着時用 GUI 画面に切り替える。装着時用 GUI を取得した表示部 2 6 は、表示デバイスコントローラ 2 5 に制御されて、ディスプレイに、例えば、図 1 0 に示すような装着時用 GUI 画面を表示する。

図 10 の装着時用 GUI 画面 211 においては、「Write」と表示されるボタン 211A が操作可能な状態（アクティブ）になっており、ユーザは入力部 33 を操作することにより、ボタン 211A を操作し、書き込み開始（アップグレード開始）を指示することができる。

- 5 図 8 に戻り、表示画面を装着時用 GUI に切り替えた第 1 CPU 11 は、処理をステップ S 58 に進める。

また、ステップ S 52 において、メモリカードスロット 21 に半導体メモリ 2 が装着されていないと判定した場合、第 1 CPU 11 は、処理をステップ S 54 に進め、未装着時用 GUI を生成し、グラフィックコントローラ 23、スクーリングデバイス 24、および表示デバイスコントローラ 25 を介して、表示部 26 に供給し、表示する画面を未装着時用 GUI 画面に切り替える。未装着時用 GUI を取得した表示部 26 は、表示デバイスコントローラ 25 に制御されて、ディスプレイに、例えば、図 11 に示すような未装着時用 GUI 画面を表示する。

- 15 図 11 の未装着時用 GUI 画面 221 においては、「Home」と表示されるボタン 221A が操作可能な状態（アクティブ）になっており、ユーザは入力部 33 を操作することにより、ボタン 221A を操作し、書き込みに関する処理の中止を指示し、ディスプレイに、所定の基本的なメニューを表示する GUI 画面である「Home」画面を表示させ、その他の処理を選択できるようにすることができる。

- 20 図 8 に戻り、表示画面を未装着時用 GUI に切り替えた第 1 CPU 11 は、処理をステップ S 58 に進める。

ところで、ステップ S 51 において、メモリカードインタフェース 22 よりメモリカードスロット 21 の状態に関する情報を取得しておらず、メモリカードインタフェース 22 がメモリカードスロット 21 の状態の変化を検出していないと判定した場合、第 1 CPU 11 は、処理をステップ S 55 に進める。

25 ステップ S 55 において、第 1 CPU 11 は、表示部 26 に、エラー時用 GUI または完了時用 GUI を表示しているか否かを判定する。書き込み（アップグレー

ド) が正常に行われた場合、第 1 CPU 1 1 は、完了時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を介して、表示部 2 6 に供給する。完了時用 GUI を取得した表示部 2 6 は、表示デバイスコントローラ 2 5 に制御されて、ディスプレイに、例えば、

5 図 1 2 に示すような完了時用 GUI 画面を表示する。

図 1 2 の完了時用 GUI 画面 2 3 1 においては、「OK」と表示されるボタン 2 3 1 A が操作可能な状態（アクティブ）になっており、ユーザは入力部 3 3 を操作することにより、ボタン 2 3 1 A を操作し、書き込みの完了を確認することができる。

10 また、書き込み（アップグレード）処理においてエラーが発生した場合、第 1 CPU 1 1 は、エラー時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を介して、表示部 2 6 に供給する。エラー時用 GUI を取得した表示部 2 6 は、表示デバイスコントローラ 2 5 に制御されて、ディスプレイに、例えば、図 1 3 に示すようなエラー

15 時用 GUI 画面を表示する。

図 1 3 のエラー時用 GUI 画面 2 4 1 においては、「OK」と表示されるボタン 2 4 1 A が操作可能な状態（アクティブ）になっており、ユーザは入力部 3 3 を操作することにより、ボタン 2 4 1 A を操作し、書き込みにおいてエラーが発生したことを確認することができる。

20 図 8 に戻り、第 1 CPU 1 1 は、ステップ S 5 5 において、以上のようなエラー時用 GUI または完了時用 GUI を、表示部 2 6 に表示しているか否かを判定し、表示していないと判定した場合、第 1 CPU 1 1 は、処理をステップ S 5 8 に進める。

また、以上のようなエラー時用 GUI または完了時用 GUI を、表示部 2 6 に表示

25 していると判定した場合、第 1 CPU 1 1 は、処理をステップ S 5 6 に進める。

ステップ S 5 6 において、第 1 CPU 1 1 は、第 2 CPU 3 1 を制御して、入力部 3 3 を監視し、ユーザの操作を検出したか否かを判定する。第 1 CPU 1 1 は、通

信バス 15 を介して、第 2 CPU 31 に入力部 33 を監視する処理を実行させる。

第 2 CPU 31 は、入力部 33 を監視し、ユーザが入力部 33 を操作したか否かを検出し、通信バス 15 を介して、第 1 CPU 11 にそのことを通知する。第 1 CPU 11 は、その情報に基づいてユーザの操作を検出したか否かを判定する。

- 5 ユーザが入力部 33 を操作せず、ユーザの操作を検出していないと判定した場合、第 1 CPU 11 は、処理をステップ S 51 に戻し、それ以降の処理を繰り返す。

ユーザの操作を検出したと判定した場合、第 1 CPU 11 は、処理をステップ S 57 に進め、表示部 26 に表示されているエラー時用 GUI または完了時用 GUI を消去し、GUI を初期化する。GUI を初期化した第 1 CPU 11 は、処理をステップ S 51 に戻し、それ以降の処理を繰り返す。

すなわち、第 1 CPU 11 は、表示部 26 に完了時用 GUI 画面 231 またはエラー時用 GUI 画面 241 が表示されている場合、ユーザが入力部 33 を操作して、ボタン 231A またはボタン 241A を操作するまで、ステップ S 51、ステップ S 55、およびステップ S 56 の処理を繰り返し、待機する。

- 15 そして、ユーザが入力部 33 を操作し、ボタン 231A またはボタン 241A を操作すると、第 1 CPU 11 は、表示部 26 に表示されている完了時用 GUI 画面 231 またはエラー時用 GUI 画面 241 を消去する。

上述したように、ステップ S 53 において、表示部 26 の表示画面を装着時用 GUI 画面 211 に切り替えた場合、ステップ S 54 において、表示部 26 の表示画面を未装着時用 GUI 画面 221 に切り替えた場合、または、ステップ S 55 において、表示部 26 に完了時用 GUI 画面 231 またはエラー時用 GUI 画面 241 が表示されていないと判定した場合、第 1 CPU 11 は、処理をステップ S 58 に進める。

- 25 ステップ S 58 において、ステップ S 56 の場合と同様に、第 2 CPU 31 を制御して、入力部 33 を監視し、第 1 CPU 11 は、ユーザの操作を検出したか否かを判定する。

ユーザが入力部 33 を操作しておらず、ユーザの操作を検出していないと判定

した場合、第1 CPU 1 1 は、処理をステップ S 5 1 に戻し、それ以降の処理を繰り返す。

また、ユーザが入力部 3 3 を操作し、ユーザの操作を検出したと判定した場合、第1 CPU 1 1 は、図 9 のステップ S 6 1 に処理を進め、ステップ S 5 2 の処理の場合と同様に、メモリカードインタフェース 2 2 を制御して、メモリカードスロット 2 1 に半導体メモリ 2 が装着されているか否かを判定する。

半導体メモリ 2 が装着されていると判定した場合、第1 CPU 1 1 は、処理をステップ S 6 2 に進め、装着された半導体メモリ 2 の記憶領域に、画像表示装置 1 に書き込む対象ファイルが存在するか否かを判定する。

10 半導体メモリ 2 の記憶領域に、図 4 に示すように、ソフトウェアバイナリデータや ID 情報が記録されており、対象ファイルが存在すると判定した場合、第1 CPU 1 1 は、ステップ S 6 3 において書き換え処理を実行する。書き換え処理の詳細は、図 1 4 と図 1 5 のフローチャートを参照して後述する。

そして、書き換え処理を終了した第1 CPU 1 1 は、処理を図 8 のステップ S 5 1 15 1 に戻し、それ以降の処理を繰り返す。

また、ステップ S 6 2 において、半導体メモリ 2 の記憶領域に、ソフトウェアバイナリデータや ID 情報が記録されておらず、対象ファイルが存在しないと判定した場合、第1 CPU 1 1 は、処理をステップ S 6 4 に進め、表示部 2 6 にエラー時用 GUI を表示させる。

20 そして、エラー時用 GUI を表示部 2 6 に表示させた第1 CPU 1 1 は、処理を図 8 のステップ S 5 1 に戻し、それ以降の処理を繰り返す。

ところで、ステップ S 6 1 において、半導体メモリ 2 がメモリカードスロット 2 1 に装着されていないと判定した場合、第1 CPU 1 1 は、処理をステップ S 6 5 に進め、第1 フラッシュ ROM 1 2 の ID 情報領域 7 2 に格納されている実行プログラム選択判定情報 1 0 1 の内容を書き換えて、ユーザプログラムが選択されて実行されるようにする。

そして、第1 CPU 1 1 は、ステップ S 6 6 において、ハードウェアリセットを

行って、アップグレード処理を終了する。

図5のアップグレードプログラム202を実行した第1CPU11は、以上のよう
にして、アップグレード処理を行い、半導体メモリ2の記憶領域に格納されて
 いるソフトウェアを画像表示装置1に書き込む（インストールする）。

- 5 次に、図9のステップS63において実行される書き換え処理の詳細について、
 図14および図15のフローチャートを参照して説明する。

最初に、第1CPU11は、ステップS81において、対象ファイルを第1フラ
 ッシュROM12の記憶領域にインストールするか否かを判定する。

- 10 半導体メモリ2の記憶領域に記憶されているプログラムやデータは、画像表示
 装置1の第1フラッシュROM12、第1EEPROM14、第2フラッシュROM32、
 または、第2EEPROM34のいずれかに書き込まれる（インストールされる）。
 その書き込み（インストール）先は、図4に示される、半導体メモリ2の記憶領
 域に格納されている対象機種判定情報155により指定されている。

- 15 第1CPU11は、ステップS81において、対象機種判定情報155に基づい
 て、まず、半導体メモリ2の記憶領域に記憶されているプログラムやデータを第
 1フラッシュROM12にインストールするか否かを判定する。

- 20 そして、半導体メモリ2の記憶領域に記憶されている対象ファイルがプログラ
 ムであり、第1フラッシュROM12にインストールすると判定した場合、第1
 CPU11は、処理をステップS82に進め、メモリカードインタフェース22を
 制御して、メモリカードスロット21に装着された半導体メモリ2より、対象フ
 ァイルを読み出し、SDRAM13に供給し、保持させる。なお、このとき、第1
 CPU11は、対象ファイルを格納する領域として、SDRAM13の、コピーされた
 アップグレードプログラムが格納されている領域とは異なる領域を指定する。

- 25 そして、第1CPU11は、ステップS83において、SDRAM13に保持されて
 いる対象ファイルを確認し、読み出しが正常に行われたか否かを判定する。

SDRAM13にコピーされた対象ファイルが正常であり、読み出しが正常に行わ
 れたと判定した場合、第1CPU11は、処理をステップS84に進め、第1フラ

ッシュ ROM 1 2 の記憶領域の、対象ファイルの格納先として指定される領域に格納されているデータを消去する。

そして、ステップ S 8 5 において、第 1 CPU 1 1 は、図 4 の対象マイコン判定情報 1 5 6 等に基づいて、SDRAM 1 3 に保持されている対象ファイルを、第 1 フラッシュ ROM 1 2 の所定の領域に書き込む（インストールする）。

対象ファイルを書き込んだ第 1 CPU 1 1 は、ステップ S 8 6 に処理を進め、図 4 のチェックサム情報 1 5 3 に基づいて、書き込み（インストール）が正常に行われたか否かを判定する。

書き込み（インストール）が正常に行われたと判定した場合、第 1 CPU 1 1 は、
10 処理をステップ S 8 7 に進め、完了時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を介して、表示部 2 6 に供給し、図 1 2 に示す完了時用 GUI 画面 2 3 1 を表示させる。

完了時用 GUI 画面 2 3 1 を表示させた第 1 CPU 1 1 は、書き換え処理を終了し、
15 図 8 のステップ S 5 1 に処理を戻す。

また、ステップ S 8 3 において、SDRAM 1 3 にコピーされた対象ファイルがなんらかの原因により破壊されており、読み出しが正常に行われていないと判定した場合、第 1 CPU 1 1 は、処理をステップ S 8 8 に進める。

さらに、ステップ S 8 6 において、対象ファイルの第 1 フラッシュ ROM 1 2 への書き込みが正常に行われていないと判定した場合も、第 1 CPU 1 1 は、処理を
20 ステップ S 8 8 に進める。

第 1 CPU 1 1 は、ステップ S 8 8 において、エラー時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を介して、表示部 2 6 に供給し、図 1 3 に示すエラー時用 GUI 画面 2 4 1 を表示させる。
25

エラー時用 GUI 画面 2 4 1 を表示させた第 1 CPU 1 1 は、書き換え処理を終了し、図 8 のステップ S 5 1 に処理を戻す。

ところで、ステップ S 8 1 において、半導体メモリ 2 の記憶領域に記憶されているプログラムやデータを第 1 フラッシュ ROM 1 2 にインストールしないと判定した場合、第 1 CPU 1 1 は、処理をステップ S 8 9 に進め、同様に、対象機種判定情報 1 5 5 に基づいて、半導体メモリ 2 の記憶領域に記憶されているプログラムやデータを第 1 EEPROM 1 4 にインストールするか否かを判定する。

そして、半導体メモリ 2 の記憶領域に記憶されているソフトウェアがデータであり、第 1 EEPROM 1 4 にインストールすると判定した場合、第 1 CPU 1 1 は、処理をステップ S 9 0 に進め、メモリカードインタフェース 2 2 を制御して、メモリカードスロット 2 1 に装着された半導体メモリ 2 より、対象ファイルを読み出し、SDRAM 1 3 に供給し、保持させる。なお、このとき、第 1 CPU 1 1 は、対象ファイルを格納する領域として、SDRAM 1 3 の、コピーされたアップグレードプログラムが格納されている領域とは異なる領域を指定する。

そして、第 1 CPU 1 1 は、ステップ S 9 1 において、SDRAM 1 3 に保持されている対象ファイルを確認し、読み出しが正常に行われたか否かを判定する。

SDRAM 1 3 にコピーされた対象ファイルが正常であり、読み出しが正常に行われたと判定した場合、第 1 CPU 1 1 は、処理をステップ S 9 2 に進め、第 1 EEPROM 1 4 の記憶領域の、対象ファイルの格納先として指定される領域に格納されているデータを消去する。

そして、ステップ S 9 3 において、第 1 CPU 1 1 は、図 4 の対象マイコン判定情報 1 5 6 等に基づいて、SDRAM 1 3 に保持されている対象ファイルを、第 1 EEPROM 1 4 の所定の領域に書き込む（インストールする）。

対象ファイルを書き込んだ第 1 CPU 1 1 は、ステップ S 9 4 に処理を進め、図 4 のチェックサム情報 1 5 3 に基づいて、書き込み（インストール）が正常に行われたか否かを判定する。

書き込み（インストール）が正常に行われたと判定した場合、第 1 CPU 1 1 は、処理をステップ S 9 5 に進め、完了時用 GUI を生成し、グラフィックコントローラ 2 3、スクーリングデバイス 2 4、および表示デバイスコントローラ 2 5 を

介して、表示部 26 に供給し、図 12 に示す完了時用 GUI 画面 231 を表示させる。

完了時用 GUI 画面 231 を表示させた第 1 CPU 11 は、書き換え処理を終了し、図 8 のステップ S51 に処理を戻す。

- 5 また、ステップ S91 において、SDRAM 13 にコピーされた対象ファイルがなんらかの原因により破壊されており、読み出しが正常に行われていないと判定した場合、第 1 CPU 11 は、処理をステップ S96 に進める。

さらに、ステップ S94 において、対象ファイルの第 1 フラッシュ ROM 12 への書き込みが正常に行われていないと判定した場合も、第 1 CPU 11 は、処理を
10 ステップ S96 に進める。

第 1 CPU 11 は、ステップ S96 において、エラー時用 GUI を生成し、グラフィックコントローラ 23、スケーリングデバイス 24、および表示デバイスコントローラ 25 を介して、表示部 26 に供給し、図 13 に示すエラー時用 GUI 画面 241 を表示させる。

- 15 エラー時用 GUI 画面 241 を表示させた第 1 CPU 11 は、書き換え処理を終了し、図 8 のステップ S51 に処理を戻す。

ところで、ステップ S89 において、半導体メモリ 2 の記憶領域に記憶されているプログラムやデータを第 1 EEPROM 14 にインストールしないと判定した場合、第 1 CPU 11 は、処理を図 15 のステップ S101 に進める。

- 20 図 15 のステップ S101 において、第 1 CPU 11 は、図 14 のステップ S81 およびステップ S89 の場合と同様に、対象機種判定情報 155 に基づいて、半導体メモリ 2 の記憶領域に記憶されているプログラムやデータを第 2 フラッシュ ROM 32 にインストールするか否かを判定する。

そして、半導体メモリ 2 の記憶領域に記憶されているソフトウェアがプログラムであり、第 2 フラッシュ ROM 32 にインストールすると判定した場合、第 1
25 CPU 11 は、処理をステップ S102 に進め、メモリカードインタフェース 22 を制御して、メモリカードスロット 21 に装着された半導体メモリ 2 より、対象

ファイルを読み出し、SDRAM 1 3 に供給し、保持させる。なお、このとき、第 1 CPU 1 1 は、対象ファイルを格納する領域として、SDRAM 1 3 の、コピーされたアップグレードプログラムが格納されている領域とは異なる領域を指定する。

そして、第 1 CPU 1 1 は、ステップ S 1 0 3 において、SDRAM 1 3 に保持されている対象ファイルを確認し、読み出しが正常に行われたか否かを判定する。

SDRAM 1 3 にコピーされた対象ファイルが正常であり、読み出しが正常に行われたと判定した場合、第 1 CPU 1 1 は、処理をステップ S 1 0 4 に進め、第 2 CPU 3 1 を制御し、第 2 CPU 3 1 に、内蔵する ROM（図示せず）に格納されている起動専用プログラムを実行させる。

第 1 CPU 1 1 は、制御バス 1 6 を介して、第 2 CPU 3 1 を制御し、第 2 CPU 3 1 に起動専用プログラムを実行させ、プログラムを第 2 フラッシュ ROM 3 2 にインストールするように設定して、ソフトウェアリセットを行う。

ソフトウェアリセットされた第 2 CPU 3 1 は、起動専用プログラムを実行し、第 2 フラッシュ ROM 3 2 に対して書き込み処理の準備を開始する。そして、準備が完了すると第 2 CPU 3 1 は、通信バス 1 5 を介して、第 1 CPU 1 1 に対象ファイルを要求する。

第 1 CPU 1 1 は、ステップ S 1 0 5 において、その対象ファイルの要求を取得したか否かを判定し、取得したと判定するまで待機する。

対象ファイルの要求を第 2 CPU 3 1 より取得したと判定した場合、第 1 CPU 1 1 は、ステップ S 1 0 6 に処理を進め、要求された対象ファイルを、通信バス 1 5 を介して第 2 CPU 3 1 に供給する。

対象ファイルを供給された第 2 CPU 3 1 は、取得した対象ファイルを第 2 フラッシュ ROM 3 2 の所定のアドレス位置に書き込む（インストールする）。そして、第 2 CPU 3 1 は、第 2 フラッシュ ROM 3 2 に書き込まれた対象ファイルを参照し、正常にインストールされたか否かを判定し、その判定結果を、通信バス 1 5 を介して、第 1 CPU 1 1 に供給する。

その判定結果を取得した第 1 CPU 1 1 は、ステップ S 1 0 7 において、取得し

た判定結果に基づいて、対象ファイルのインストールが正常に行われたか否かを判定する。

第2フラッシュ ROM 3 2へのインストールが正常に行われたと判定した場合、第1CPU 1 1は、処理をステップS 1 0 8に進め、完了時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5を介して、表示部 2 6に供給し、図 1 2に示す完了時用 GUI 画面 2 3 1を表示させる。

完了時用 GUI 画面 2 3 1を表示させた第1CPU 1 1は、書き換え処理を終了し、図 8のステップS 5 1に処理を戻す。

10 また、ステップS 1 0 7において、対象ファイルの第2フラッシュ ROM 3 2へのインストールが正常に行われていないと判定した場合、第1CPU 1 1は、処理をステップS 1 0 9に進め、エラー時用 GUI を生成し、グラフィックコントローラ 2 3、スケーリングデバイス 2 4、および表示デバイスコントローラ 2 5を介して、表示部 2 6に供給し、図 1 3に示すエラー時用 GUI 画面 2 4 1を表示
15 させる。

エラー時用 GUI 画面 2 4 1を表示させた第1CPU 1 1は、書き換え処理を終了し、図 8のステップS 5 1に処理を戻す。

ところで、ステップS 1 0 1において、半導体メモリ 2の記憶領域に記憶されている対象ファイルがデータであり、第2EEPROM 3 4にインストールし、第2
20 フラッシュ ROM 3 2にインストールしないと判定した場合、第1CPU 1 1は、処理をステップS 1 1 0に進める。

ステップS 1 1 0において、第1CPU 1 1は、第2EEPROM 3 4に対象ファイルをインストールするために、メモリカードインタフェース 2 2を制御して、メモリカードスロット 2 1に装着された半導体メモリ 2より、対象ファイルを読み出し、SDRAM 1 3に供給し、保持させる。なお、このとき、第1CPU 1 1は、対象
25 ファイルを格納する領域として、SDRAM 1 3の、コピーされたアップグレードプログラムが格納されている領域とは異なる領域を指定する。

そして、第1 CPU 1 1 は、ステップ S 1 1 1 において、SDRAM 1 3 に保持されている対象ファイルを確認し、読み出しが正常に行われたか否かを判定する。

SDRAM 1 3 にコピーされた対象ファイルが正常であり、読み出しが正常に行われたと判定した場合、第1 CPU 1 1 は、処理をステップ S 1 1 2 に進め、第2 CPU 3 1 を制御し、第2 CPU 3 1 に、内蔵する ROM (図示せず) に格納されている起動専用プログラムを実行させる。

第1 CPU 1 1 は、制御バス 1 6 を介して、第2 CPU 3 1 を制御し、第2 CPU 3 1 に起動専用プログラムを実行させ、プログラムを第2 EEPROM 3 4 にインストールするように設定して、ソフトウェアリセットを行う。

10 ソフトウェアリセットされた第2 CPU 3 1 は、起動専用プログラムを実行し、第2 EEPROM 3 4 に対して書き込み処理の準備を開始する。そして、準備が完了すると、第2 CPU 3 1 は、通信バス 1 5 を介して、第1 CPU 1 1 に対象ファイルを要求する。

15 第1 CPU 1 1 は、ステップ S 1 1 3 において、その対象ファイルの要求を取得したか否かを判定し、取得したと判定するまで待機する。

対象ファイルの要求を第2 CPU 3 1 より取得したと判定した場合、第1 CPU 1 1 は、ステップ S 1 1 4 に処理を進め、要求された対象ファイルを、通信バス 1 5 を介して第2 CPU 3 1 に供給する。

20 対象ファイルを供給された第2 CPU 3 1 は、取得した対象ファイルを第2 EEPROM 3 4 の所定のアドレス位置に書き込む (インストールする)。そして、第2 CPU 3 1 は、第2 EEPROM 3 4 に書き込まれた対象ファイルを参照し、正常にインストールされたか否かを判定し、その判定結果を、通信バス 1 5 を介して、第1 CPU 1 1 に供給する。

25 その判定結果を取得した第1 CPU 1 1 は、ステップ S 1 1 5 において、取得した判定結果に基づいて、対象ファイルのインストールが正常に行われたか否かを判定する。

第2 フラッシュ ROM 3 2 へのインストールが正常に行われたと判定した場合、

第1 CPU 11は、処理をステップS 116に進め、完了時用 GUI を生成し、グラフィックコントローラ 23、スケーリングデバイス 24、および表示デバイスコントローラ 25を介して、表示部 26に供給し、図 12に示す完了時用 GUI 画面 231を表示させる。

- 5 完了時用 GUI 画面 231を表示させた第1 CPU 11は、書き換え処理を終了し、図8のステップS 51に処理を戻す。

- また、ステップ S 111において、読み出しが正常に行われなかったと判定した場合、並びに、ステップ S 115において、対象ファイルの第2 CPU 31への供給が正常に行われていないと判定した場合、第1 CPU 11は、処理をステップ
10 S 117に進め、エラー時用 GUI を生成し、グラフィックコントローラ 23、スケーリングデバイス 24、および表示デバイスコントローラ 25を介して、表示部 26に供給し、図 13に示すエラー時用 GUI 画面 241を表示させる。

エラー時用 GUI 画面 241を表示させた第1 CPU 11は、書き換え処理を終了し、図8のステップS 51に処理を戻す。

- 15 以上のようにして、第1 CPU 11は、指定されたインストール先に合わせて処理を行い、対象ファイルをインストールする。上述したように、第2 CPU 31に対応する第2フラッシュ ROM 32または第2EEPROM 34に対象ファイルをインストールする場合、第1 CPU 11は、制御バス 16を介して第2 CPU 31を制御して、処理を行う。

- 20 これにより、画像表示装置 1は、供給されたプログラムを、容易に、互いに異なる CPU に制御される複数の記憶部にインストールすることができる。

- なお、第1 CPU 11は、第1フラッシュ ROM 12に記憶されているアップグレードプログラムを、SDRAM 13にコピーしてから実行するので、対象ファイルがそのアップグレードファイル自身である場合でも、第1フラッシュ ROM 12にインストールすることができる。このとき、第1 CPU 11は、SDRAM 13にコピー
25 された古いアップグレードプログラムを実行しており、ソフトウェアリセットを行うことで、インストールされた新しいアップグレードプログラムを実行するこ

とができる。

上述したように、第1 CPU 1 1による書き換え処理において、図4の対象マイコン判定情報1 5 6により、対象ファイルのインストール先が第2フラッシュROM 3 2または第2EEPROM 3 4に指定されている場合、第1 CPU 1 1は、制御バス1 6を介して、第2 CPU 3 1を制御し、第2 CPU 3 1に起動専用プログラムを実行させ、プログラムを第2フラッシュROM 3 2または第2EEPROM 3 4にインストールするように設定して、ソフトウェアリセットを行う。

ソフトウェアリセットされた第2 CPU 3 1は、起動専用プログラムを実行し、第2フラッシュROM 3 2または第2EEPROM 3 4に対して書き込み処理を開始する。

10 第2 CPU 3 1による書き込み処理について、図1 6のフローチャートを参照して説明する。

最初に、ステップS 1 3 1において、第2 CPU 3 1は、第2 CPU 3 1に接続されている、第2フラッシュROM 3 2、入力部3 3、第2EEPROM 3 4、および、スケーリングデバイス2 4等の周辺デバイスに対して、内部レジスタを設定し、初期化する。

15

そして、ステップS 1 3 2において、第2 CPU 3 1は、対象ファイルの書き込み先デバイスを第1 CPU 1 1により指示されたデバイス、すなわち、第2フラッシュROM 3 2または第2EEPROM 3 4のいずれかに設定する。

書き込み先デバイスを設定した第2 CPU 3 1は、ステップS 1 3 3において、インストールする対象ファイルを、通信バス1 5を介して、第1 CPU 1 1に要求する。対象ファイルを要求された第1 CPU 1 1は、図1 5のステップS 1 0 5またはステップS 1 1 3の処理において、その要求を検知し、ステップS 1 0 6またはステップS 1 1 4の処理により、要求された対象ファイルを、通信バス1 5を介して、第2 CPU 3 1に供給する。

20

第2 CPU 3 1は、ステップS 1 3 4において、第1 CPU 1 1より要求した対象ファイルを取得したか否かを判定し、取得したと判定するまで待機する。

そして、対象ファイルを取得したと判定した場合、第2 CPU 3 1は、処理をス

ステップ S 1 3 5 に進め、取得した対象ファイルを、ステップ S 1 3 2 において設定した書き込み先デバイス、すなわち、第 2 フラッシュ ROM 3 2 または第 2 EEPROM 3 4 のいずれかに書き込む（インストールする）。

対象ファイルを書き込むと、第 2 CPU 3 1 は、ステップ S 1 3 6 において、書き込まれた対象ファイルが正常であるか否かを確認し、ステップ S 1 3 7 において、その確認結果を、通信バス 1 5 を介して第 1 CPU 1 1 に供給し、書き込み処理を終了する。

以上のようにして、第 2 CPU 3 1 は、第 1 CPU 1 1 にソフトウェアリセットされて、書き込み処理を実行する。

10 これにより、画像表示装置 1 は、供給されたプログラムを、容易に、互いに異なる CPU に制御される複数の記憶部にインストールすることができる。

以上のようにして、第 1 CPU 1 1 によりアップグレードプログラム 2 0 2 が実行され、図 9 のステップ S 6 6 において、ハードウェアリセットが行われると、第 1 CPU 1 1 は、図 5 に示されるように、起動プログラム 2 0 1 を実行する。

15 そして、図 9 のステップ S 6 5 において、第 1 CPU 1 1 により、第 1 フラッシュ ROM 1 2 の ID 情報領域 7 2 に格納される実行プログラム選択判定情報 1 0 1 がユーザプログラムを選択するように設定されているので、起動プログラム 2 0 1 を実行した第 1 CPU 1 1 は、図 7 のステップ S 3 0 において、第 1 フラッシュ ROM 1 2 のユーザプログラム領域 7 4 に格納されているユーザプログラム 2 0 3
20 を SDRAM 1 3 にコピーし、図 6 のステップ S 4 において、ソフトウェアリセットを行い、SDRAM 1 3 にコピーされたユーザプログラム 2 0 3 を実行する。

ユーザプログラムを実行する第 1 CPU 1 1 は、画像処理に関する所定の処理を行いながら、メモリカードインタフェース 2 2 を制御して、メモリカードスロット 2 1 の状態変化を監視する。

25 第 1 CPU 1 1 によるユーザプログラム実行処理について、図 1 7 のフローチャートを参照して説明する。

第 1 CPU 1 1 は、最初に、ステップ S 1 5 1 において、図 8 のステップ S 5 1

の場合と同様に、メモリカードインタフェース 22 を制御して、メモリカードスロット 21 の状態を監視し、メモリカードスロット 21 の状態の変化を検出したか否かを判定する。

メモリカードインタフェース 22 がメモリカードスロット 21 の状態の変化を検出したと判定した場合、第 1 CPU 11 は、ステップ S 152 に処理を進め、ステップ S 52 の場合と同様に、その情報に基づいて、メモリカードスロット 21 に半導体メモリ 2 が装着されているか否かを判定する。

メモリカードスロット 21 に半導体メモリ 2 が装着されていると判定した場合、第 1 CPU 11 は、処理をステップ S 153 に進め、図 9 のステップ S 62 の場合と同様に、装着された半導体メモリ 2 の記憶領域に、画像表示装置 1 に書き込む対象ファイルが存在するか否かを判定する。

そして対象ファイルが存在すると判定した場合、第 1 CPU 11 は、ステップ S 154 において、第 1 フラッシュ ROM 12 の ID 情報領域 72 に格納されている実行プログラム選択判定情報 101 の内容を書き換えて、アップグレードプログラム 202 が選択されて実行されるようにする。

そして、第 1 CPU 11 は、ステップ S 155 において、ハードウェアリセットを行って、ユーザプログラム実行処理を終了する。

ところで、ステップ S 151 において、メモリカードスロット 21 の状態の変化を検出していないと判定した場合、第 1 CPU 11 は、処理をステップ S 156 に進める。

また、ステップ S 152 において、メモリカードスロット 21 に半導体メモリ 2 が装着されていないと判定した場合、第 1 CPU 11 は、処理をステップ S 156 に進める。

さらに、ステップ S 153 において、メモリカードスロット 21 に装着された半導体メモリ 2 の記憶領域に、対象ファイルが存在しないと判定した場合、第 1 CPU 11 は、処理をステップ S 156 に進める。

ステップ S 156 において、第 1 CPU 11 は、各部を制御して、ユーザプログ

ラム 2 0 3 に定義された所定の画像処理に関する処理を行う。

例えば、第 1 CPU 1 1 は、ステップ S 1 5 6 において、メモリカードインタフェース 2 2 やグラフィックコントローラ 2 3 等を制御したり、第 2 CPU 3 1 に情報を供給したりして、GUI データを表示部 2 6 に供給する。

- 5 図 1 8 は、ステップ S 1 5 6 の処理による表示部 2 6 に表示される画面の例を示す図である。

- 図 1 8 において、GUI 画面 2 5 1 は、画像表示装置 1 に入力された JPEG 画像データに対応するサムネイル画像の一覧を表示する画面である。表示部 2 6 は、表示デバイスコントローラ 2 5 に制御されて、図 1 8 に示されるような GUI 画面 2 5 1 をディスプレイに表示する。
- 10

なお、ステップ S 1 5 6 において実行される処理は、上述したような処理以外の処理でもよく、ユーザプログラム 2 0 3 に定義された処理であれば何でもよい。

ステップ S 1 5 6 の処理が終了した第 1 CPU 1 1 は、処理をステップ S 1 5 1 に戻し、それ以降の処理を繰り返す。

- すなわち、ユーザプログラム 2 0 3 を実行する第 1 CPU 1 1 は、ステップ S 1 5 6 において、所定の処理を行いながら、ステップ S 1 5 1 乃至ステップ S 1 5 3 において、インストールする対象ファイルが用意されたか否かを判定し、用意された場合は、ステップ S 1 5 4 およびステップ S 1 5 5 の処理により、起動プログラム 2 0 1 がアップグレードプログラムを選択するように設定してからハードウェアリセットし、起動プログラム 2 0 1 を実行する。
- 15
- 20

- また、インストールする対象ファイルが用意されていない場合（ステップ S 1 5 1 で、メモリカードスロット 2 1 の状態変化が検出されていないと判定された場合、ステップ S 1 5 2 で、半導体メモリ 2 が挿入されていないと判定された場合、並びに、ステップ S 1 5 3 で、対象ファイルが存在しないと判定された場合）は、第 1 CPU 1 1 は、ステップ S 1 5 6 の処理を繰り返す。
- 25

以上のようにして、第 1 CPU 1 1 は、インストールする対象ファイルが用意されたか否かを調査しながら、ユーザプログラムを実行させる。これにより、画像

表示装置 1 のユーザは、容易にインストール処理を行うことができる。

以上のように、第 1 CPU 1 1 は、ハードウェアリセットおよびソフトウェアリセットを行うことにより、起動プログラム 2 0 1 を介して、アップグレードプログラム 2 0 2 およびユーザプログラム 2 0 3 を連続して実行することができ、また、アップグレード処理においては、設定されたインストール先に応じて、他の CPU を制御することができるので、容易に、複数のプログラムを連続して書き込むことができる。

以上においては、インストールされる対象ファイルは、半導体メモリ 2 に記録された状態で、画像表示装置 1 に供給されるように説明したが、これに限らず、例えば、ネットワーク等の通信媒体を介して供給されるようにしてもよい。

また、図 1 において、第 1 CPU 1 1 には、第 1 フラッシュ ROM 1 2 および第 1 EEPROM 1 4 が 1 つずつ接続され、第 2 CPU 3 1 には、第 2 フラッシュ ROM 3 2 および第 2 EEPROM 3 4 が 1 つずつ接続されるように説明したが、これに限らず、例えば、第 1 CPU 1 1 に複数のフラッシュ ROM が接続されるようにしてもよいし、複数の EEPROM が接続されるようにしてもよい。また、第 2 CPU 3 1 についても同様である。

さらに、図 1 においては、第 1 フラッシュ ROM 1 2、第 1 EEPROM 1 4、第 2 フラッシュ ROM 3 2、および第 2 EEPROM 3 4 は、それぞれ、別体に構成されるように説明したが、これに限らず、これらの全部または一部が一体化されて構成されていてもよい。さらに、これらが、第 1 CPU 1 1 や第 2 CPU 3 1 等、その他の部分と一体化されて構成されるようにしてもよい。

また、図 1 に示される画像表示装置 1 においては、第 1 フラッシュ ROM 1 2 には、第 1 CPU 1 1 において実行されるプログラムが格納され、第 1 EEPROM 1 4 には、第 1 CPU 1 1 に用いられるデータが格納されるように説明したが、これに限らず、第 1 フラッシュ ROM 1 2 および第 1 EEPROM 1 4 には、どのようなデータを格納するようにしてもよく、例えば、第 1 フラッシュ ROM 1 2 にプログラムだけでなくデータも格納するようにしてもよい。さらに、第 2 フラッシュ ROM 3 2 お

よび第 2 EEPROM 3 4 についても同様であり、これらにどのようなデータを格納するようにしてもよい。

さらに、図 1 においては、各部を制御する CPU が第 1 CPU 1 1 および第 2 CPU 3 1 の 2 つにより構成されるように説明したが、これに限らず、CPU は、複数で
5 あれば何個でもよい。

以上においては、本発明を複数の CPU により制御される画像表示装置に適用した場合について説明したが、本発明は、複数の CPU により制御される情報処理装置であればどのような装置でも適用することが可能であり、例えば、複数の CPU を有するパーソナルコンピュータにも適用することができる。

10 図 1 9 は、本発明を適用したパーソナルコンピュータの例を示す図である。

図 1 9 において、パーソナルコンピュータ 3 0 0 の第 1 CPU 3 0 1 は、第 1 ROM 3 0 2 若しくは第 1 フラッシュ ROM 3 0 4 に記憶されているプログラム、または記憶部 3 4 3 から第 1 RAM 3 0 3 にロードされたプログラムに従って各種の処理を実行する。第 1 RAM 3 0 3 および第 1 フラッシュ ROM 3 0 4 にはまた、第
15 1 CPU 3 0 1 が各種の処理を実行する上において必要なデータなども適宜記憶される。

また、第 1 フラッシュ ROM 3 0 4 の記憶領域は、図 2 に示される場合と同様の構成になっており、起動プログラム 2 0 1 を格納する起動プログラム領域 7 1、プログラムやデータに関する情報を格納する ID 情報領域 7 2、アップグレード
20 プログラム 2 0 2 を格納するアップグレードプログラム領域 7 3、ユーザプログラムを格納するユーザプログラム領域 7 4 により構成される。

第 1 CPU 3 0 1、第 1 ROM 3 0 2、第 1 RAM 3 0 3、および第 1 フラッシュ ROM 3 0 4 は、バス 3 1 0 を介して相互に接続されている。

また、パーソナルコンピュータ 3 0 0 の第 2 CPU 3 2 1 は、第 1 CPU 3 0 1 と
25 同様に、第 2 ROM 3 2 2 若しくは第 2 フラッシュ ROM 3 2 4 に記憶されているプログラム、または記憶部 3 4 3 から第 2 RAM 3 2 3 にロードされたプログラムに従って各種の処理を実行する。第 2 RAM 3 2 3 および第 2 フラッシュ ROM 3 2 4

にはまた、第1 RAM 3 0 3 および第1 フラッシュ ROM 3 0 4 と同様に、第2 CPU 3 2 1 が各種の処理を実行する上において必要なデータなども適宜記憶される。

また、第2 フラッシュ ROM 3 2 4 は、第1 フラッシュ ROM 3 0 4 と同様に、図 2 に示されるような構成になっており、起動プログラム 2 0 1 を格納する起動プログラム領域 7 1、プログラムやデータに関する情報を格納する ID 情報領域 7 2、アップグレードプログラム 2 0 2 を格納するアップグレードプログラム領域 7 3、ユーザプログラムを格納するユーザプログラム領域 7 4 により構成される。

第2 CPU 3 2 1、第2 ROM 3 2 2、第2 RAM 3 2 3、および第2 フラッシュ ROM 3 2 4 は、バス 3 3 0 を介して相互に接続されている。

10 また、バス 3 1 0 およびバス 3 3 0 にはまた、入出力インタフェース 3 4 0 も接続されている。

入出力インタフェース 3 4 0 には、キーボード、マウスなどよりなる入力部 3 4 1、CRT (Cathode Ray Tube)、LCD (Liquid Crystal Display) などよりなるディスプレイ、並びにスピーカなどよりなる出力部 3 4 2、ハードディスク 15 などにより構成される記憶部 3 4 3、モデム、ターミナルアダプタ、または LAN アダプタなどにより構成される通信部 3 4 4 が接続されている。

記憶部 3 4 3 には、各種の処理を実行するためのデータやプログラム等が記憶されており、必要に応じて第1 CPU 3 0 1 または第2 CPU 3 2 1 に制御され、第1 RAM 3 0 3 または第2 RAM 3 2 3 にデータやプログラムを供給する。

20 入出力インタフェース 3 4 0 にはまた、必要に応じてドライブ 3 5 0 が接続され、磁気ディスク 3 5 1、光ディスク 3 5 2、光磁気ディスク 3 5 3、或いは半導体メモリ 3 5 4 などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部 3 4 3、第1 フラッシュ ROM 3 0 4、または第2 フラッシュ ROM 3 2 4 にインストールされる。

25 すなわち、ドライブ 3 5 0 は、図1のメモリカードスロット 2 1 に対応しており、インストールするプログラムやデータ等が格納されている磁気ディスク 3 5 1、光ディスク 3 5 2、光磁気ディスク 3 5 3、或いは半導体メモリ 3 5 4 等の

記録媒体が装着される。

入出力インタフェース 340 は、図 1 のメモリカードインタフェース 22 に対応しており、第 1 CPU 301 または第 2 CPU 321 に制御されて、ドライブ 350 の状態を監視し、ドライブ 350 に上述した記録媒体が装着されたか否かを判定し、その情報を第 1 CPU 301 または第 2 CPU 321 に供給する。

図 1 に示される画像表示装置 1 の第 1 CPU 11 および第 2 CPU 31 の場合、実行する処理が予め分担されており、互いに異なる処理を実行し、異なる各部を制御するように構成されているが、図 19 のパーソナルコンピュータ 300 の第 1 CPU 301 および第 2 CPU 321 は、互いに同様の構成であり、実行する処理は予め分担されていない。

従って、第 1 CPU 301 および第 2 CPU 321 は、どちらを図 1 の第 1 CPU 11 に対応させてもよい。すなわち、図 6 に示される起動処理や図 8 および図 9 に示されるアップグレード処理を、第 1 CPU 301 および第 2 CPU 321 の内、どちらの CPU で実行するようにしてもよいし、また、両方で実行するようにしてもよい。

例えば、第 1 CPU 301 を図 1 の第 1 CPU 11 に対応させる場合、第 1 CPU 301 は、図 5 に示されるように、起動プログラム 201、アップグレードプログラム 202、および、ユーザプログラム 203 を実行する。

すなわち、第 1 CPU 301 は、第 1 CPU 11 と同様に、図 6 のフローチャートを参照して説明した起動処理、図 7 のフローチャートを参照して説明した ID 情報確認処理、図 8 および図 9 のフローチャートを参照して説明したアップグレード処理、図 14 および図 15 のフローチャートを参照して説明した書き換え処理、並びに、図 17 のフローチャートを参照して説明したユーザプログラム実行処理と同様の処理を行い、供給されたプログラムやデータを第 1 フラッシュ ROM 304 にインストールする。

また、第 1 CPU 301 は、第 2 CPU 321 を制御し、第 2 CPU 321 に、第 2 ROM 322 等に予め記憶されている起動専用プログラムを実行させ、図 16 のフ

ローチャートを参照して説明した書き込み処理と同様の処理を実行させる。これにより、第2 CPU 3 2 1は、供給されたプログラムやデータを第2フラッシュROM 3 2 4にインストールすることができる。

5 以上のように、第1 CPU 3 0 1は、ハードウェアリセットおよびソフトウェアリセットを行うことにより、起動プログラム 2 0 1を介して、アップグレードプログラム 2 0 2およびユーザプログラム 2 0 3を連続して実行することができ、また、アップグレード処理においては、設定されたインストール先に応じて、他の CPU を制御することができるので、容易に、複数のプログラムを連続して書き込むことができる。

10 なお、上述したように、第2 CPU 3 2 1を図1の第1 CPU 1 1に対応させて、上述した処理を実行することも可能である。

以上においては、磁気ディスク 3 5 1、光ディスク 3 5 2、光磁気ディスク 3 5 3、および半導体メモリ 3 5 4等の記録媒体に格納されているプログラムやデータを第1フラッシュROM 3 0 4または第2フラッシュROM 3 2 4にインストールするよう説明したが、これに限らず、記憶部 3 4 3にインストールするよう
15 にしてもよい。

また、インストールするプログラムやデータが、記録媒体からではなく、通信部 3 4 4を介して供給されるようにしてもよい。

さらに、図19においては、各部を制御するCPUが第1 CPU 3 0 1および第2
20 CPU 3 2 1の2つにより構成されるように説明したが、これに限らず、CPUは、複数であれば何個でもよい。

また、図19に示されるパーソナルコンピュータ 3 0 0の内部の構成の一部が、他のパーソナルコンピュータとして構成されるようにしてもよく、例えば、図20に示すような、複数のパーソナルコンピュータが互いに通信可能に接続された
25 情報処理システムとして構成されるようにしてもよい。

図20において、パーソナルコンピュータ 4 0 1は、インターネットや LAN (Local Area Network) 等に代表されるネットワーク 4 0 2を介して、パーソ

ナルコンピュータ 403 に接続されている。パーソナルコンピュータ 401 は、ネットワーク 402 を介して、パーソナルコンピュータ 403 と通信を行うことができる。

例えば、図 20 のパーソナルコンピュータ 401 の CPU (図示せず) を図 19 の第 1 CPU 301 に対応させ、図 20 のパーソナルコンピュータ 403 の CPU (図示せず) を図 19 の第 2 CPU 321 に対応させて、パーソナルコンピュータ 401 の CPU が、起動プログラム 201、アップグレードプログラム 202、および、ユーザプログラム 203 を実行するようにする。

すなわち、パーソナルコンピュータ 401 の CPU (図示せず) が、図 6 のフローチャートを参照して説明した起動処理、図 7 のフローチャートを参照して説明した ID 情報確認処理、図 8 および図 9 のフローチャートを参照して説明したアップグレード処理、図 14 および図 15 のフローチャートを参照して説明した書き換え処理、並びに、図 17 のフローチャートを参照して説明したユーザプログラム実行処理と同様の処理を行うようにする。

パーソナルコンピュータ 401 の CPU (図示せず) は、ドライブ (図示せず) に装着された記録媒体 (図示せず) に格納されているプログラムやデータを記憶部 (図示せず) にインストールするとともに、ネットワーク 402 を介して、パーソナルコンピュータ 403 の CPU (図示せず) を制御し、起動専用プログラムを実行させることで、図 16 のフローチャートを参照して説明した書き込み処理と同様の処理を実行させ、さらに、ネットワーク 402 を介してプログラムやデータを供給し、それらを記憶部 (図示せず) にインストールさせる。

以上のようにして、パーソナルコンピュータ 401 の CPU (図示せず) は、起動プログラム 201 を介して、アップグレードプログラム 202 およびユーザプログラム 203 を連続して実行することができ、さらに、ネットワーク 402 を介して、他のパーソナルコンピュータ 403 の CPU を制御することができるので、容易に、複数のプログラムやデータを連続して書き込むことができる。

なお、図 20 において、上述した情報処理システムは、ネットワーク 402 に

接続された2台のパーソナルコンピュータ401および403により構成されるように説明したが、これに限らず、情報処理システムを構成するパーソナルコンピュータは、何台であってもよい。

以上の処理は、ハードウェアにより実行することができるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、ネットワークや記録媒体からインストールされる。

この記録媒体は、図1または図19に示すように、装置本体とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク351（フロッピディスクを含む）、光ディスク352（CD-ROM(Compact Disk-Read Only Memory), DVD (Digital Versatile Disk)を含む）、光磁気ディスク353（MD(Mini-Disk)を含む）、もしくは半導体メモリ2および354などよりなるパッケージメディアにより構成されるだけでなく、装置本体に予め組み込まれた状態でユーザに提供される、プログラムが記録されている第1CPU11、第2CPU31、第1CPU301、および第2CPU321に内蔵されているROM（図示せず）などで構成される。

なお、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

なお、以上において、システムとは、複数の装置により構成される装置全体を表すものである。

産業上の利用可能性

以上のように、本発明の情報処理装置および方法、記録媒体、並びにプログラ

ムによれば、プログラムを書き換えることができる。特に、複数の CPU および記憶部を有する情報処理装置において、互いに異なる CPU に制御される複数の記憶部にプログラムを、容易に、連続して書き込むことができる。

請求の範囲

1. 複数の制御部および複数の記憶部を有し、複数の前記制御部の1つである主制御部が、他の制御部を制御し、記憶媒体に記憶されているソフトウェアを複数の記憶部に記憶させる情報処理装置であって、
- 5 前記主制御部より供給される前記ソフトウェアの記憶に関する指示を取得する第1の取得手段と、
前記主制御部に前記ソフトウェアを要求する要求手段と、
前記要求手段による要求に応じて供給された前記ソフトウェアを取得する第2の取得手段と、
- 10 前記記憶部を制御し、前記第2の取得手段により取得された前記ソフトウェアを記憶させる記憶制御手段と
を備えることを特徴とする情報処理装置。
2. 前記指示は、前記ソフトウェアに関する情報および前記ソフトウェアを記憶させる記憶部に関する情報を含む
- 15 ことを特徴とする請求の範囲第1項に記載の情報処理装置。
3. 前記第1の取得手段により取得された前記指示により指定された記憶部を、複数の前記記憶部の中から選択し、前記取得手段により取得された前記ソフトウェアを記憶させる記憶部として設定する記憶部設定手段をさらに備え、
前記記憶制御手段は、前記記憶部設定手段により設定された前記記憶部に前記
- 20 ソフトウェアを記憶させる
ことを特徴とする請求の範囲第2項に記載の情報処理装置。
4. 前記記憶制御手段の制御により前記記憶部に記憶された前記ソフトウェアが正常であるか否かを確認する確認手段と、
前記確認手段による確認結果を前記主制御部に供給する供給手段と
- 25 をさらに備えることを特徴とする請求の範囲第1項に記載の情報処理装置。
5. 前記主制御部は、前記供給手段により供給された前記確認結果に基づいて、前記ソフトウェアの前記記憶部への記憶処理が正常に完了したと判定した場合、

表示部を制御し、前記記憶処理が正常に完了したことを示す情報を前記表示部に表示させる

ことを特徴とする請求の範囲第4項に記載の情報処理装置。

6. 前記主制御部は、前記供給手段により供給された前記確認結果に基づいて、前記ソフトウェアの前記記憶部への記憶処理が正常に完了していないと判定した場合、表示部を制御し、前記記憶処理においてエラーが発生したことを示す情報を前記表示部に表示させる

ことを特徴とする請求の範囲第4項に記載の情報処理装置。

7. 前記ソフトウェアが記憶されている前記記憶媒体は、リムーバブルなメモリカードであり、前記主制御部は、前記メモリカードから取得したプログラムまたはデータを用いて複数の前記記憶部に記憶されているプログラムまたはデータを更新する

ことを特徴とする請求の範囲第1項に記載の情報処理装置。

8. 前記記憶制御手段は、前記第2の取得手段により取得された前記ソフトウェアのバージョン情報と前記記憶部に記憶されているソフトウェアのバージョン情報とを比較し、バージョンが互いに異なる場合、前記記憶部を制御し、前記第2の取得手段により取得された前記ソフトウェアを記憶させる

ことを特徴とする請求の範囲第1項に記載の情報処理装置。

9. 複数の制御部および複数の記憶部を有し、複数の前記制御部の1つである主制御部が、他の制御部を制御し、記憶媒体に記憶されているソフトウェアを複数の記憶部に記憶させる情報処理装置の情報処理方法であって、

前記主制御部に前記ソフトウェアを要求する要求ステップと、

前記要求ステップの処理による要求に応じて供給された前記ソフトウェアの取得を制御する取得制御ステップと、

25 前記主制御部より供給される指示に基づいて、前記記憶部を制御し、前記取得制御ステップの処理により取得が制御された前記ソフトウェアを記憶させる記憶制御ステップと

を含むことを特徴とする情報処理方法。

10. 複数の制御部および複数の記憶部を有し、複数の前記制御部の1つである主制御部が、他の制御部を制御し、記憶媒体に記憶されているソフトウェアを複数の記憶部に記憶させる情報処理装置用のプログラムであって、

5 前記主制御部に前記ソフトウェアを要求する要求ステップと、

前記要求ステップの処理による要求に応じて供給された前記ソフトウェアの取得を制御する取得制御ステップと、

前記主制御部より供給される指示に基づいて、前記記憶部を制御し、前記取得制御ステップの処理により取得が制御された前記ソフトウェアを記憶させる記憶

10 制御ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

11. 複数の制御部および複数の記憶部を有し、複数の前記制御部の1つである主制御部が、他の制御部を制御し、記憶媒体に記憶されているソフトウェアを
15 複数の記憶部に記憶させる情報処理装置を制御するコンピュータが実行可能なプログラムであって、

前記主制御部に前記ソフトウェアを要求する要求ステップと、

前記要求ステップの処理による要求に応じて供給された前記ソフトウェアの取得を制御する取得制御ステップと、

20 前記主制御部より供給される指示に基づいて、前記記憶部を制御し、前記取得制御ステップの処理により取得が制御された前記ソフトウェアを記憶させる記憶制御ステップと

を含むことを特徴とするプログラム。

1/18

図1

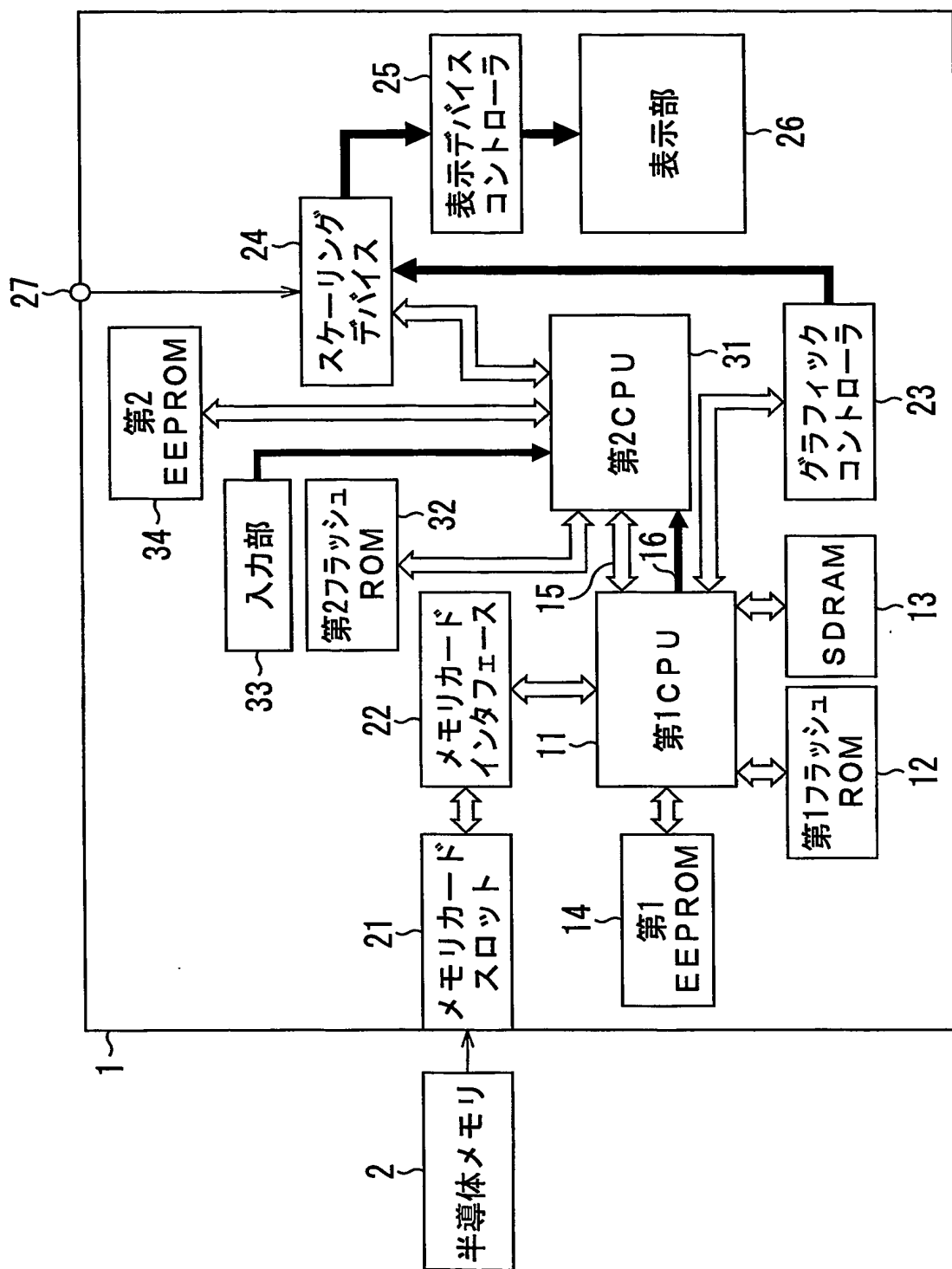
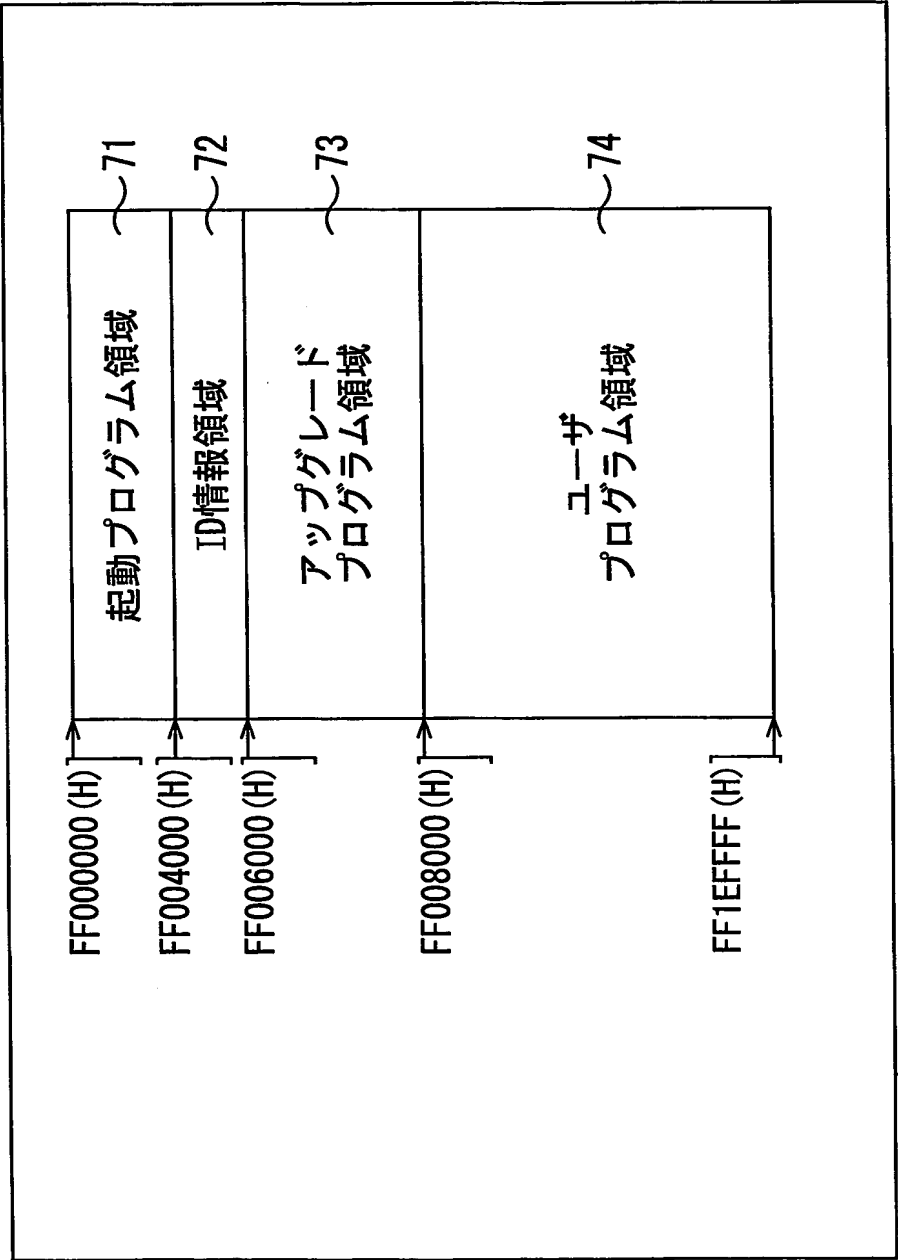


図 2



12

図 3

103										104										105									
0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F														
0xFF00400X	実行プログラム選択判定情報															101													
0xFF00401X	格納プログラム正常判定情報															102													
0xFF00402X	バージョン情報					チェックサム情報					プログラム作成日情報					FF	FF	FF	FF										
0xFF00403X	対象機種判定情報															106													
0xFF00404X	対象マイコン判定情報															107													
0xFF00405X	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	IDチェックサム情報	108												
0xFF00406X	格納プログラム正常判定情報															112													
0xFF00407X	バージョン情報					チェックサム情報					プログラム作成日情報					FF	FF	FF	FF										
0xFF00408X	対象機種判定情報															116													
0xFF00409X	対象マイコン判定情報															117													
0xFF0040AX	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	IDチェックサム情報	118												
0xFF0040BX	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF														
0xFF005FFX	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF	FF												

113 114 115

図 4

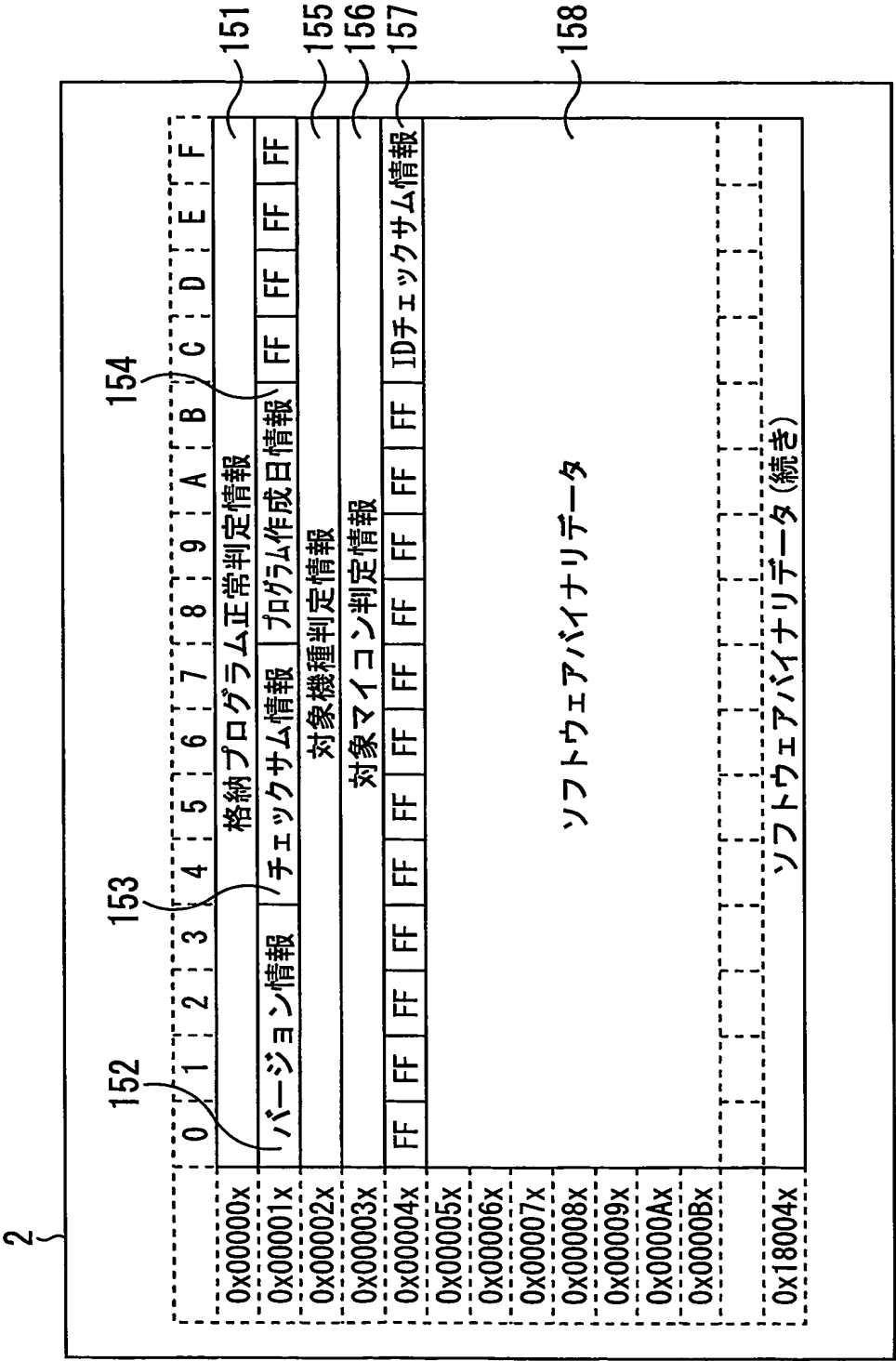
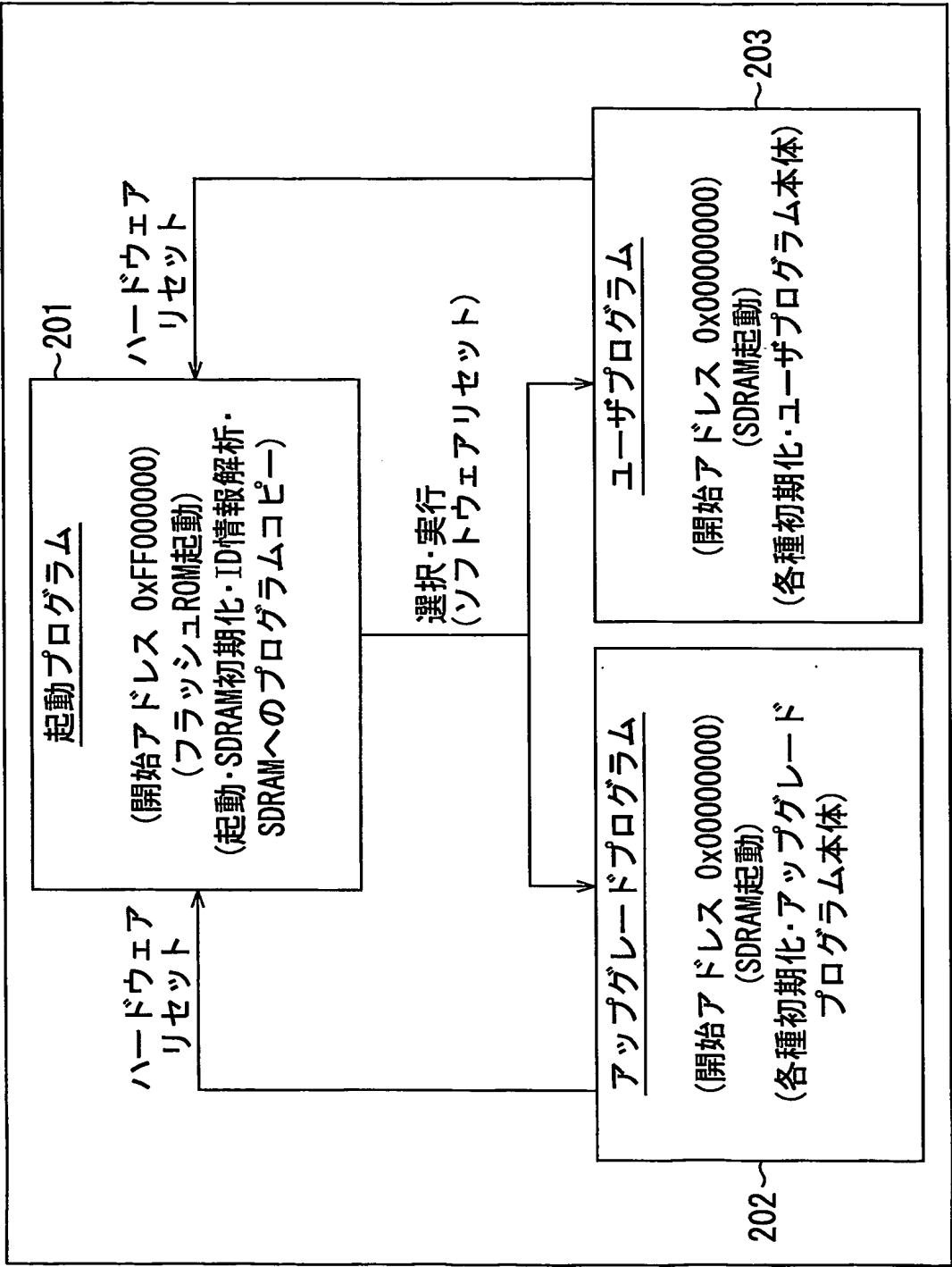


図 5



6/18

図 6

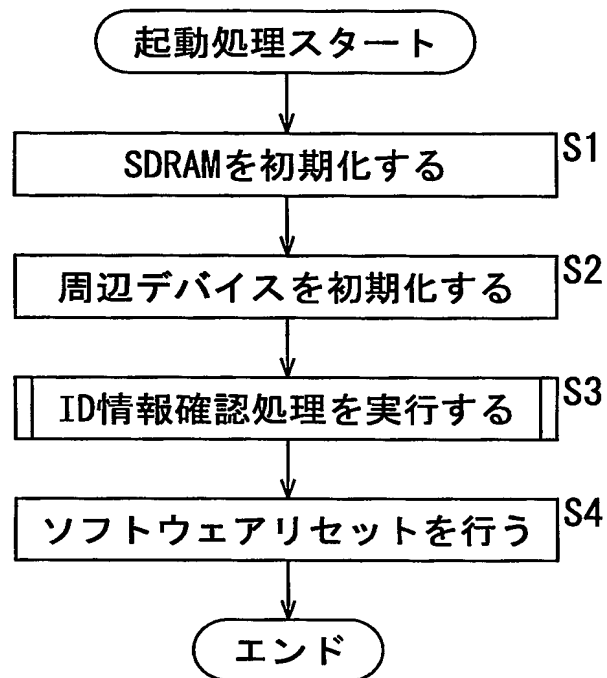
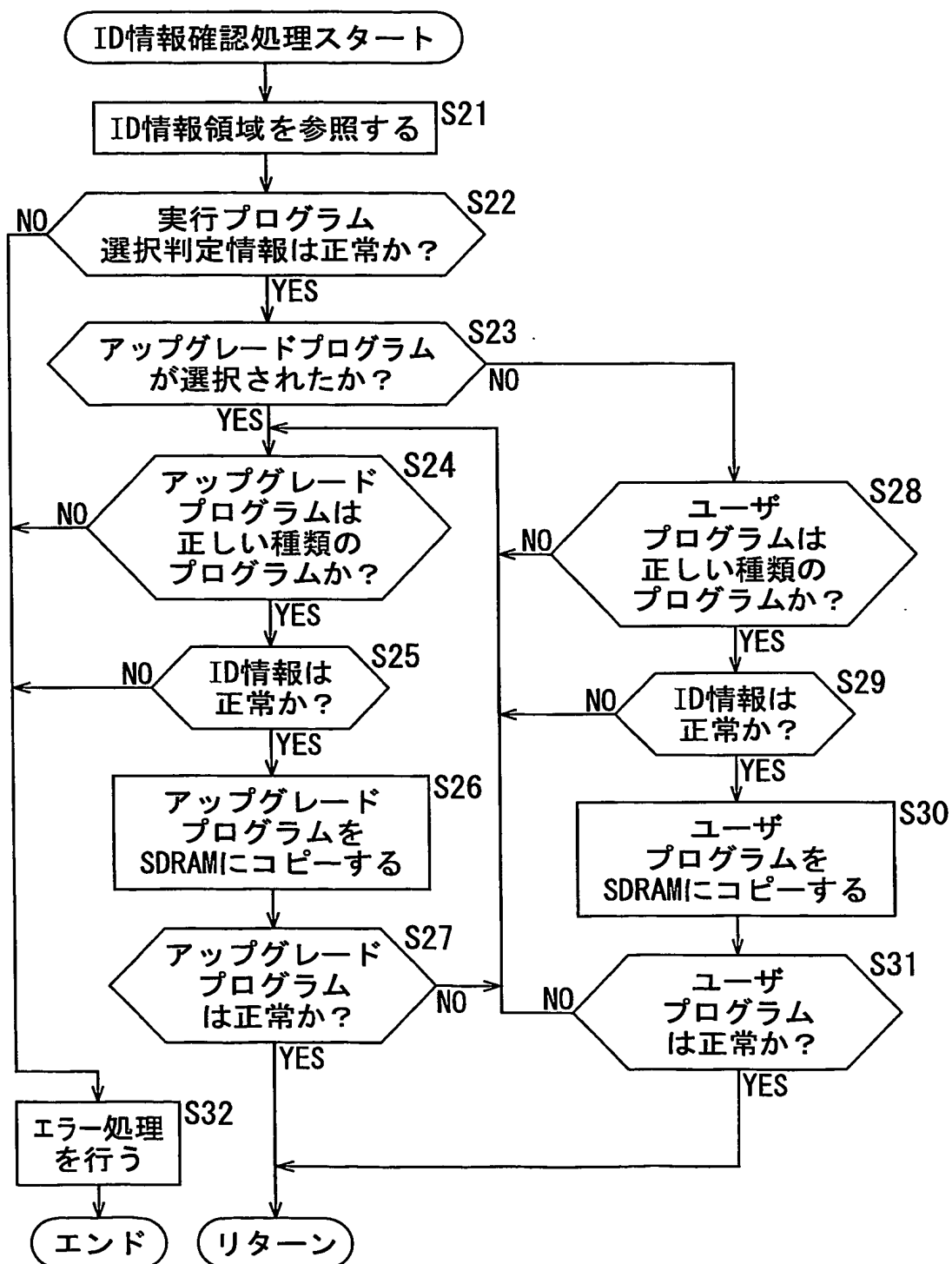


図 7



8/18

図 8

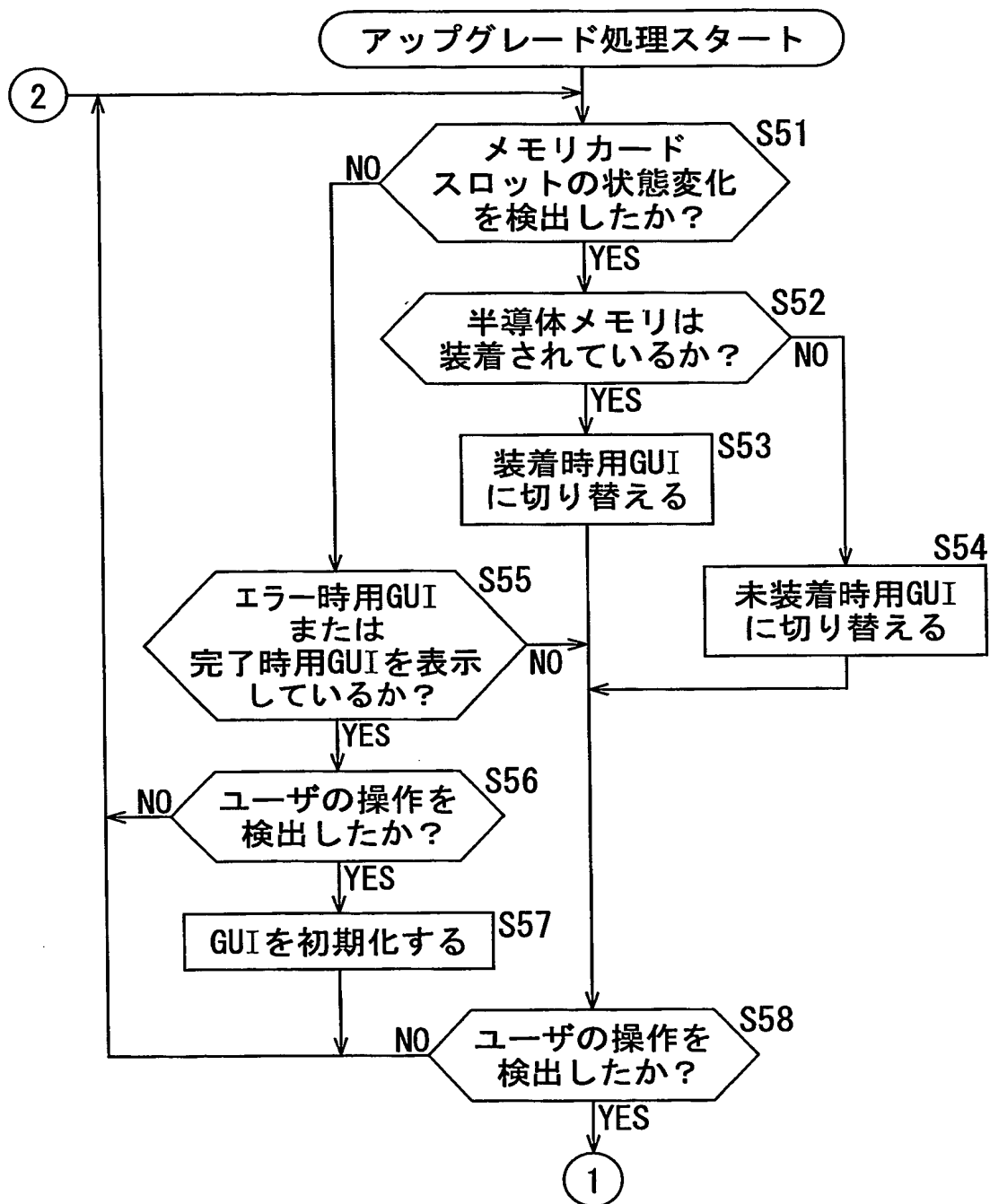


図 9

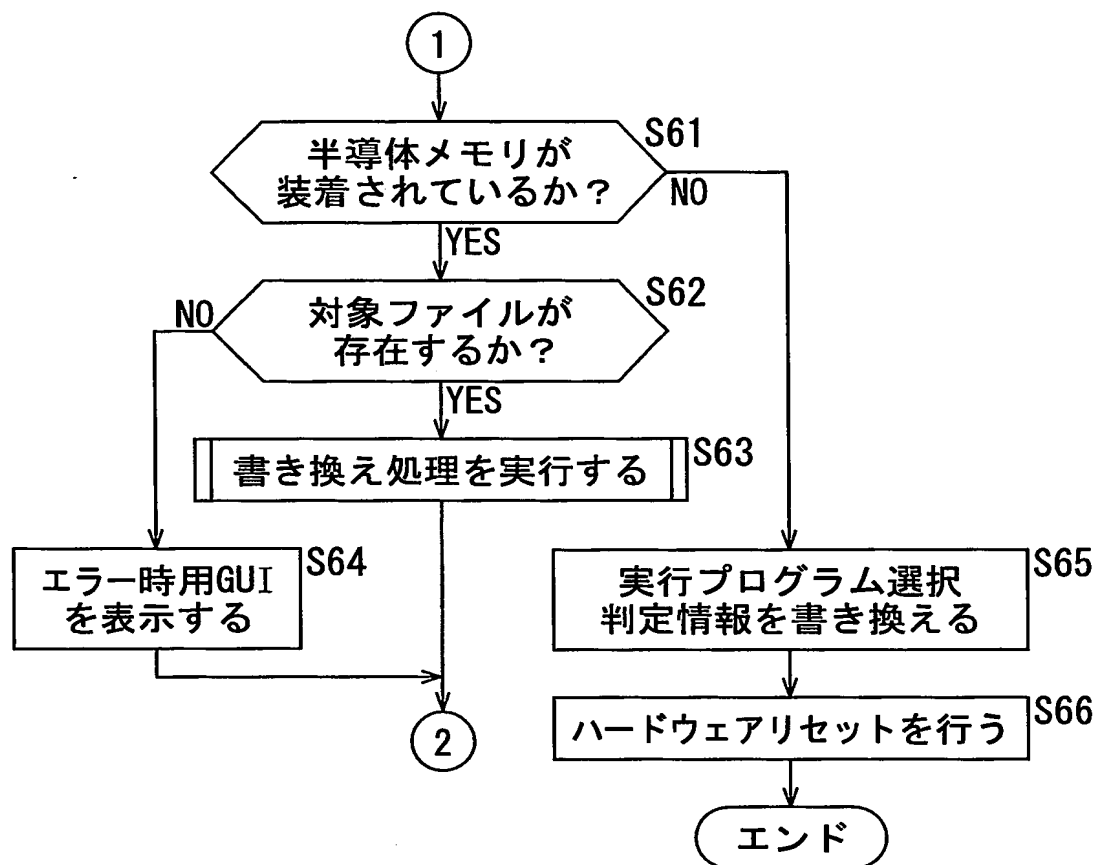


図10

Upgrade

211 ~

Home

Current Version: 1.00
Upgrade Version: VPL-CX5MS: 2.00

211A ~

Write

書き込みをおこなわない時は
メモ리카ードを抜いて下さい。

図11

Upgrade

221A ~

Home

Current Version:
Upgrade Version:

221 ~

Write

[Home]でMS HOME画面へ戻る

図12

Upgrade	
<div>Home</div> <hr/>	
Current Version: 1.00 Upgrade Version: VPL-CX5MS: 2.00	
Write	正常に終了しました。 <div>OK</div>

図13

Upgrade	
<div>Home</div> <hr/>	
Current Version: 1.00 Upgrade Version: VPL-CX5MS: 2.00	
Write	書き込みに失敗しました。 <div>OK</div>
再度書き込みをおこなってください。	

12/18

図14

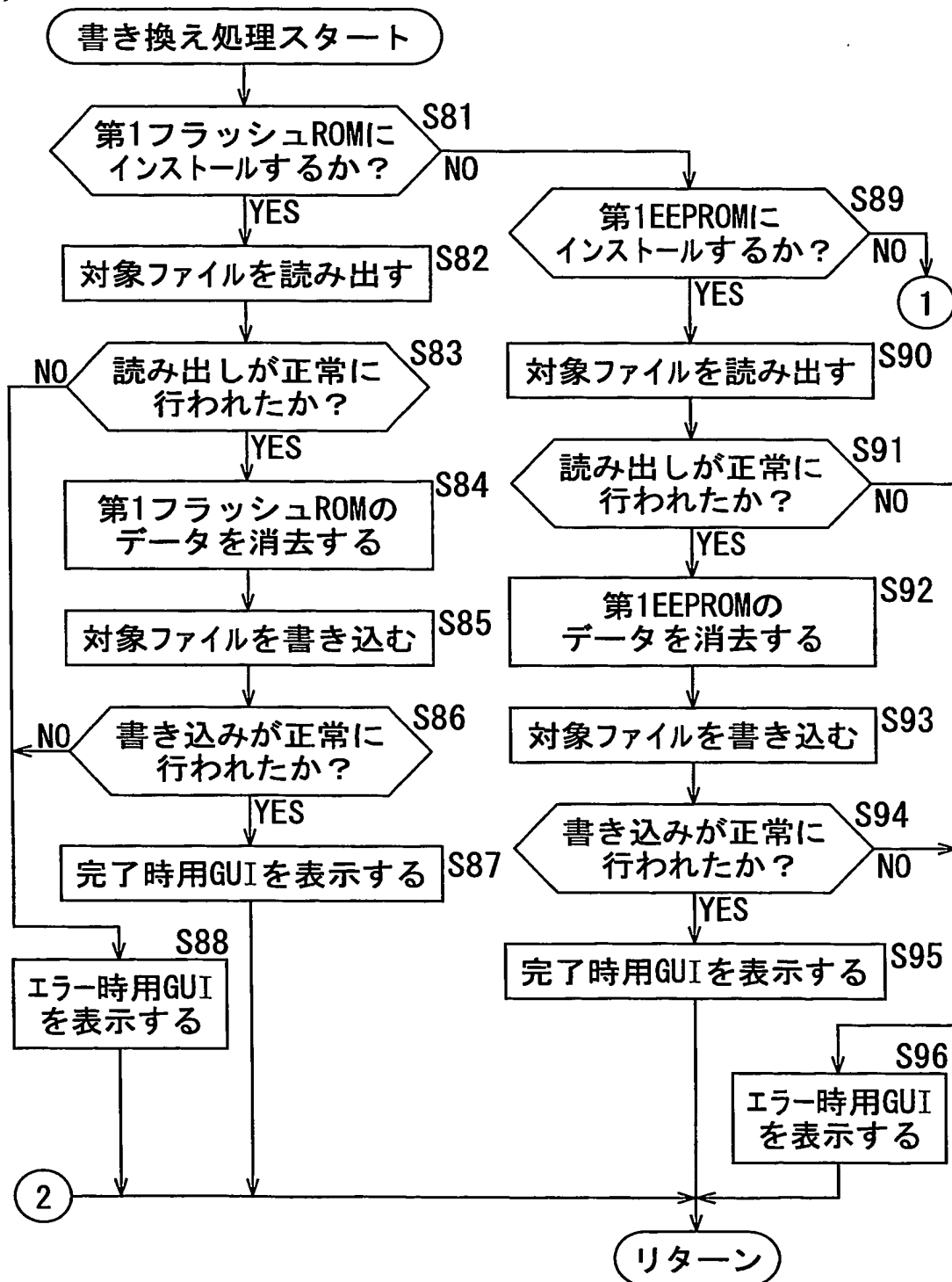
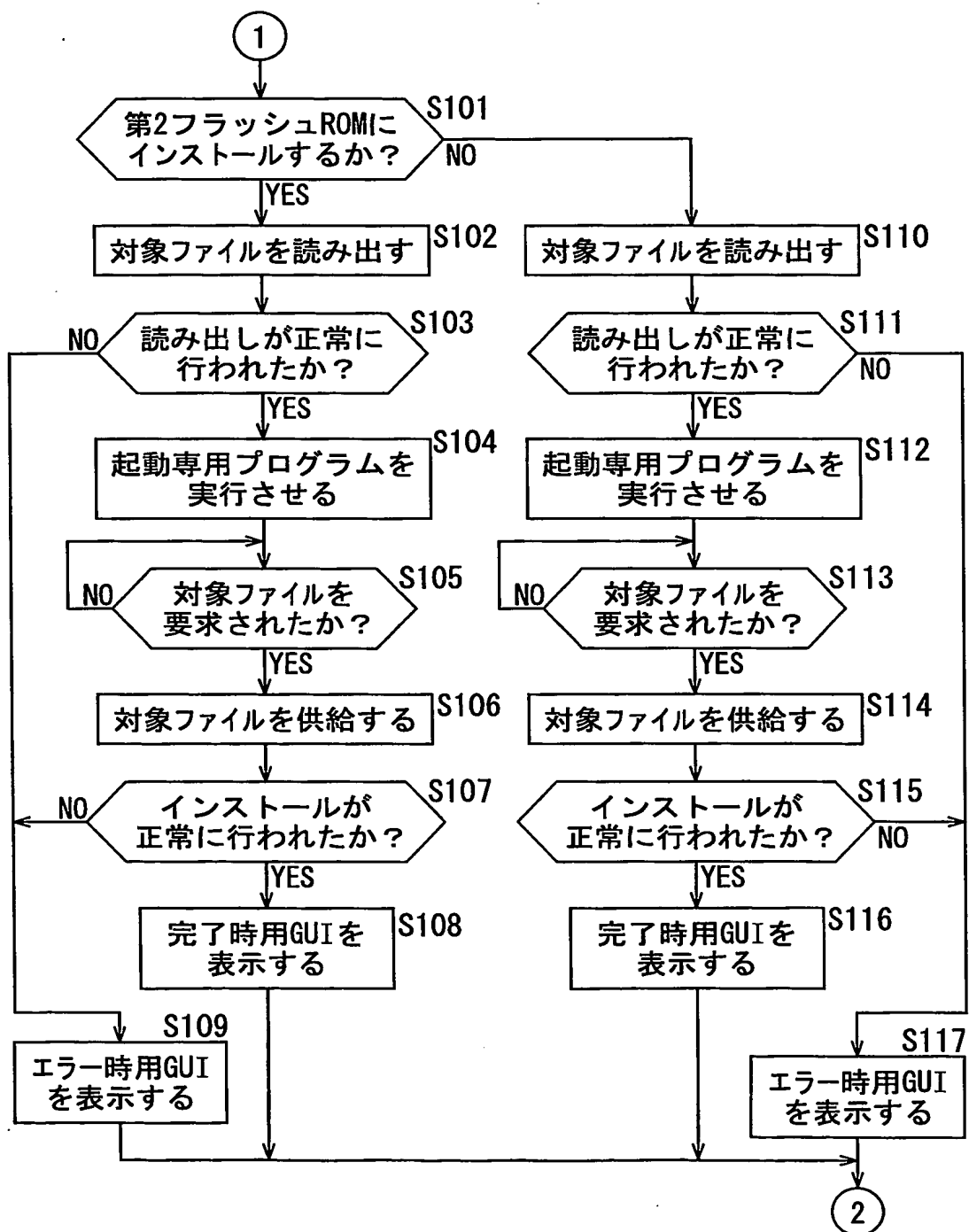
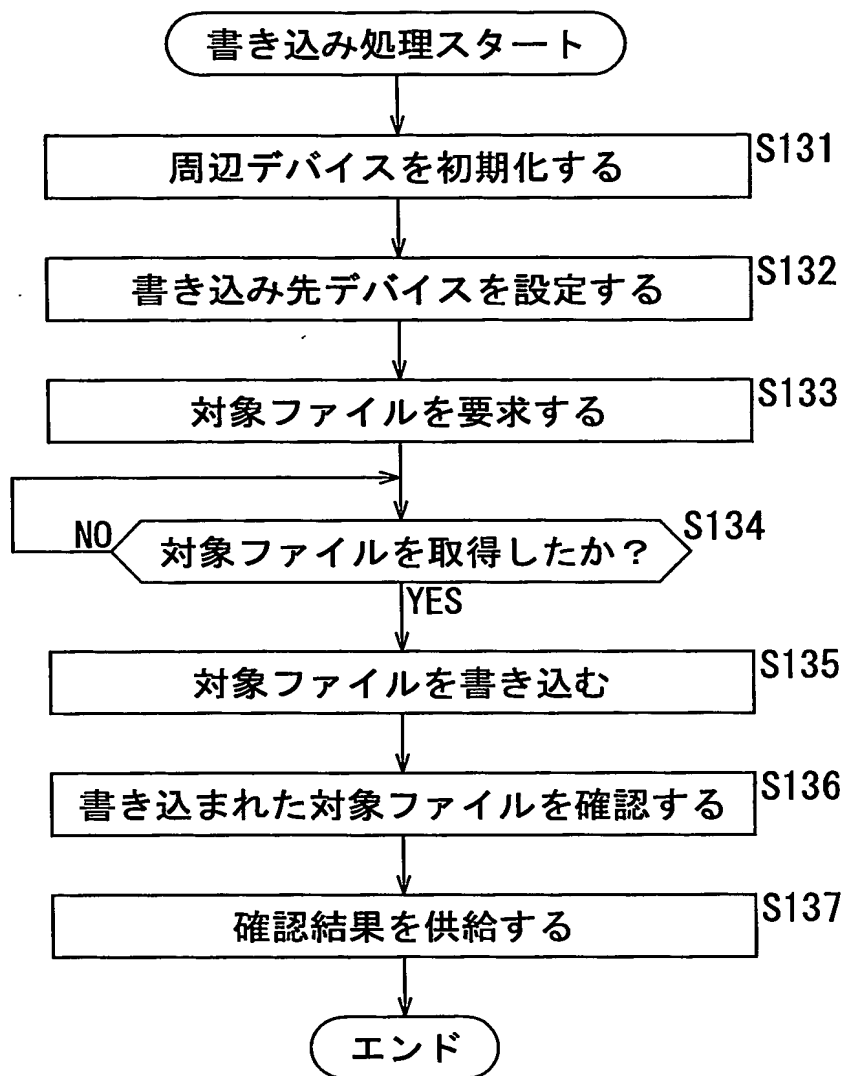


図15



14/18

図16



15/18

図17

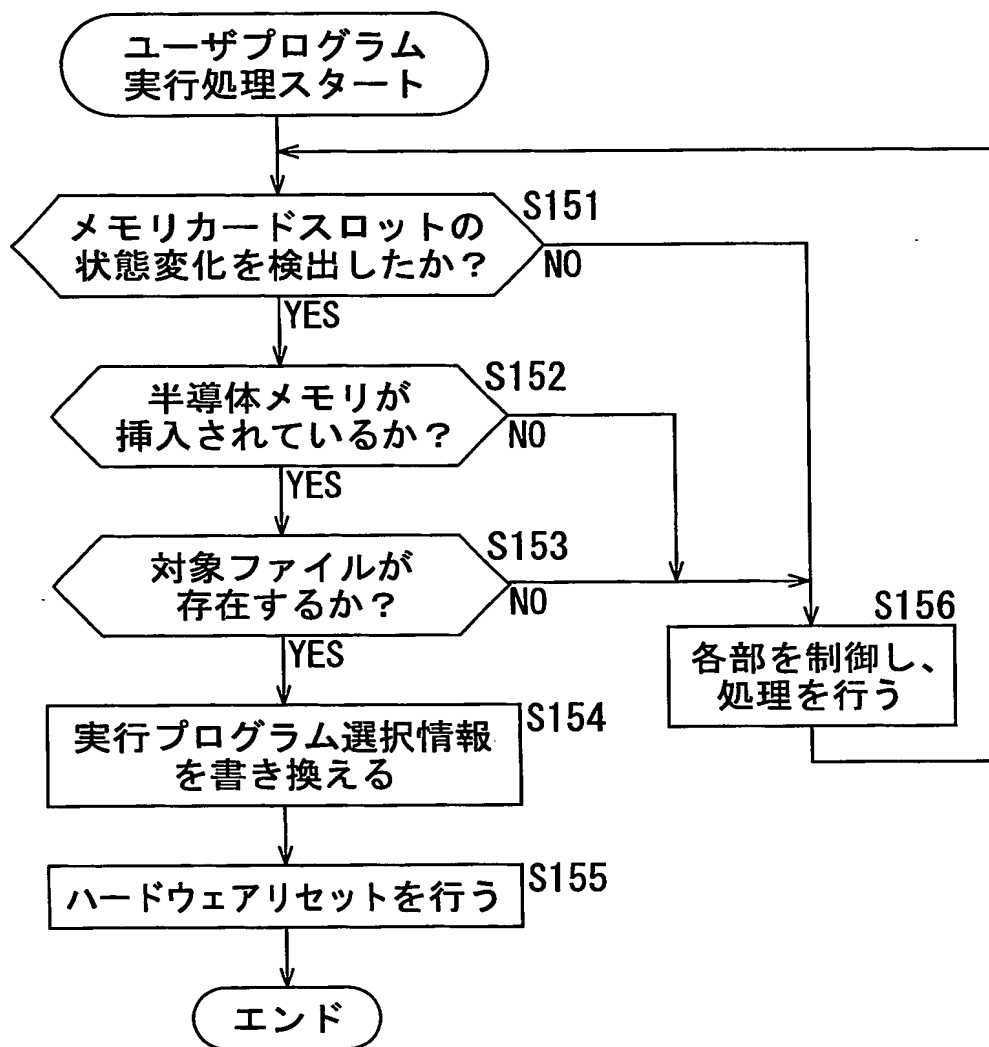
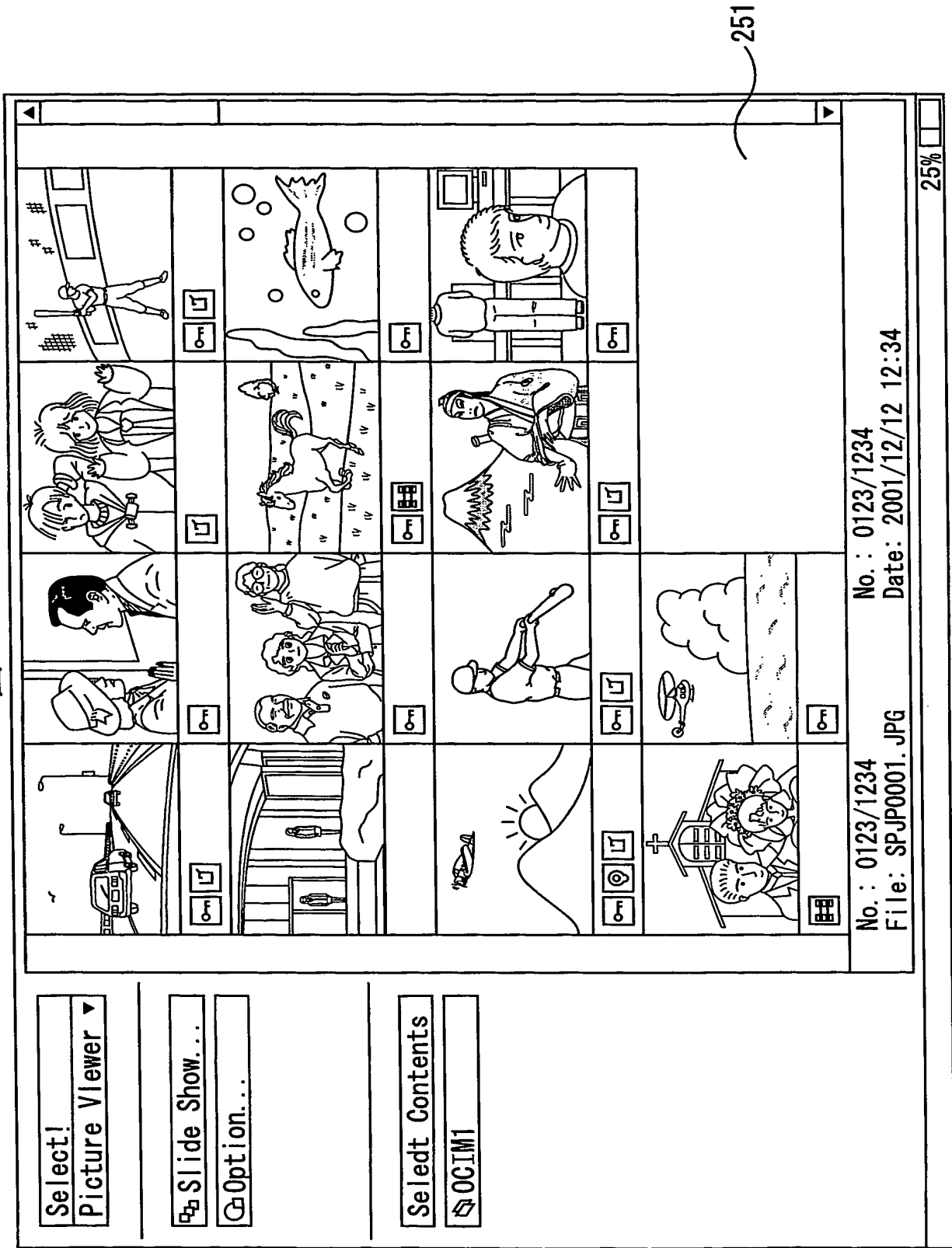


図18



17/18

図19

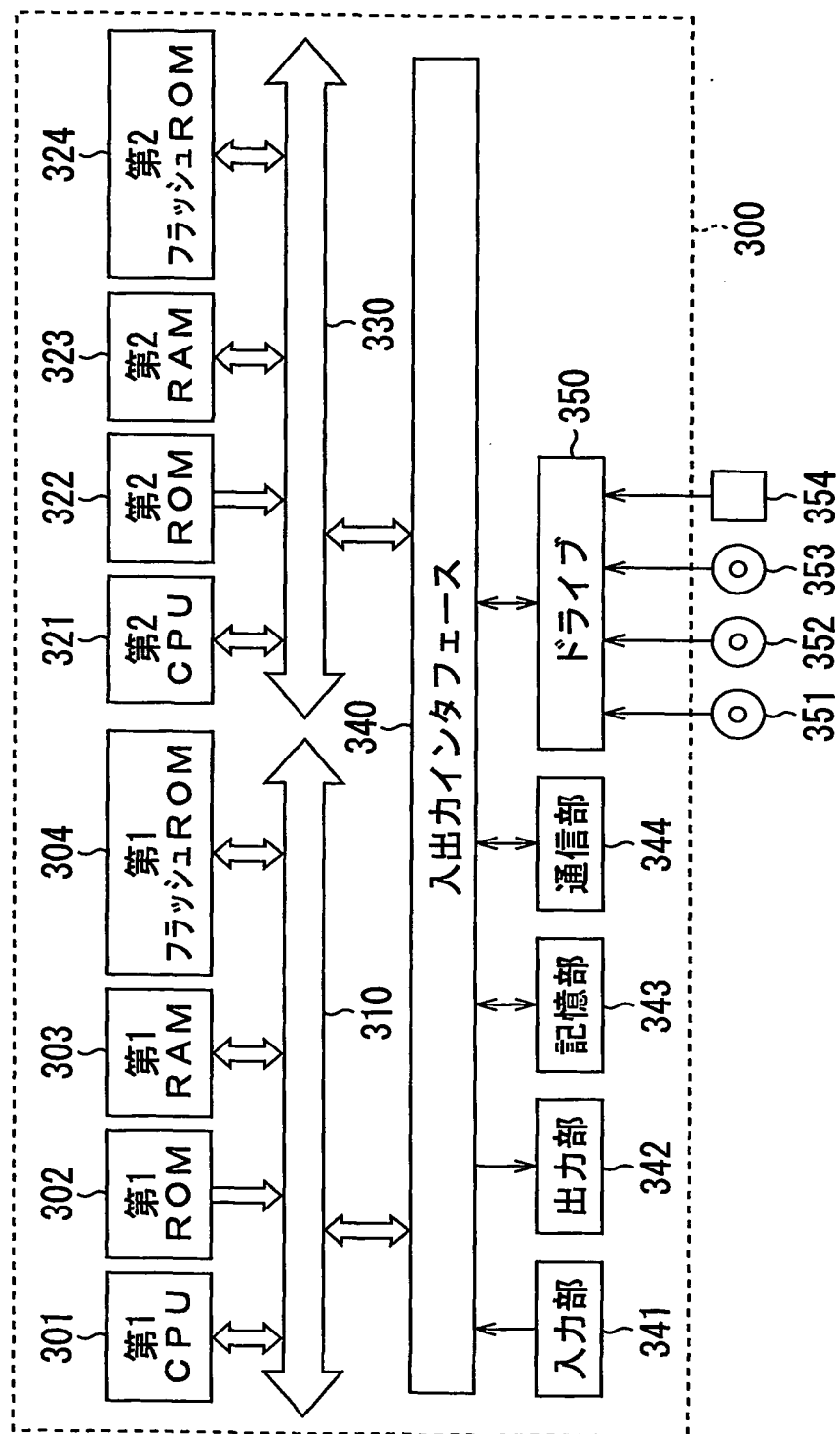
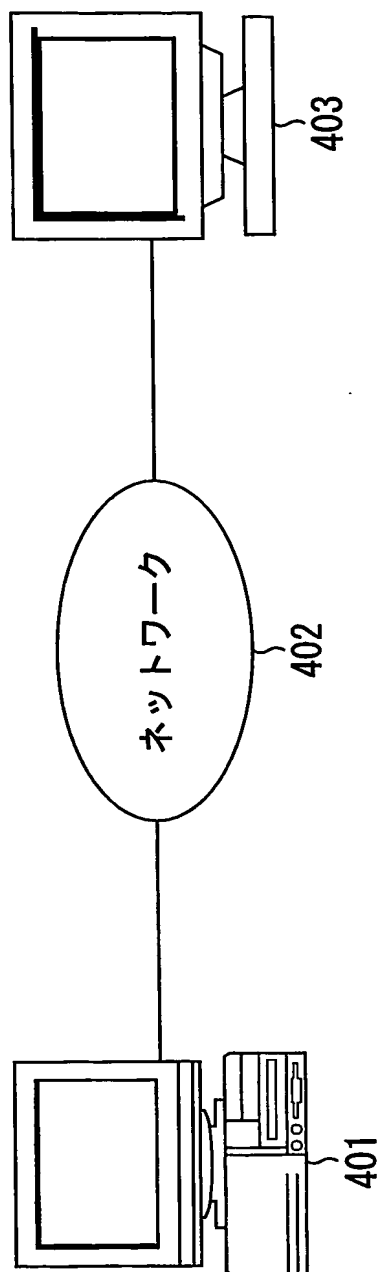


図20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08186

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-311087 A (Matsushita Electric Industrial Co., Ltd.), 07 November, 2000 (07.11.00), Full text; all drawings (Family: none)	1-11
Y	JP 2001-319267 A (Sanden Corp.), 16 November, 2001 (16.11.01), Full text; all drawings & US 2001/0044675 A1	1-11
A	JP 2001-202238 A (NEC Corp.), 27 July, 2001 (27.07.01), Full text; all drawings (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 September, 2003 (24.09.03)

Date of mailing of the international search report
07 October, 2003 (07.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08186

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-125789 A (Tamura Electric Works, Ltd.), 11 May, 2001 (11.05.01), Full text; all drawings (Family: none)	1-11
A	JP 10-260845 A (Fujitsu Ltd.), 29 September, 1998 (29.09.98), Full text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁷ G06F11/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁷ G06F11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926年-1996年

日本国公開実用新案公報 1971年-2003年

日本国実用新案登録公報 1996年-2003年

日本国登録実用新案公報 1994年-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-311087 A (松下電器産業株式会社) 2000. 11. 07, 全文, 全図 (ファミリーなし)	1-11
Y	JP 2001-319267 A (サンデン株式会社) 2001. 11. 16, 全文, 全図 & US 2001/0044675 A1	1-11
A	JP 2001-202238 A (日本電気株式会社) 2001. 07. 27, 全文, 全図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24. 09. 03

国際調査報告の発送日

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

漆原 孝治

電話番号 03-3581-1101 内線 3546

07.10.03

5B 9366

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P. 2001-125789 A (株式会社田村電機製作所) 2001. 05. 11, 全文, 全図 (ファミリーなし)	1-11
A	J P. 10-260845 A (富士通株式会社) 1998. 09. 29, 全文, 全図 (ファミリーなし)	1-11